

# **CONVERTISSEUR DE TAUX D'ÉCHANTILLONNAGE ASYNCHRONE AVEC DÉRIVATEUR**

## **1 Introduction**

Lors du projet amplificateur audionumérique mené à l'Institut de Nanotechnologies de Lyon, nous avons vu que les modules de sur échantillonnages et le convertisseur de taux d'échantillonnage asynchrone<sup>1</sup> permettent le passage d'une fréquence d'échantillonnage de 480 kHz (après sur-échantillonnage d'un facteur de 10) à 50 kHz en garantissant un bruit de fond réduit. Initialement, le bruit de fond était compris entre -40 et -60 dB, niveaux rédhibitoires pour les applications audionumériques parce que fortement audibles.

Ce document présente une implantation préliminaire basée sur un filtre dérivateur décrit dans [filtres decalages.pdf](#)

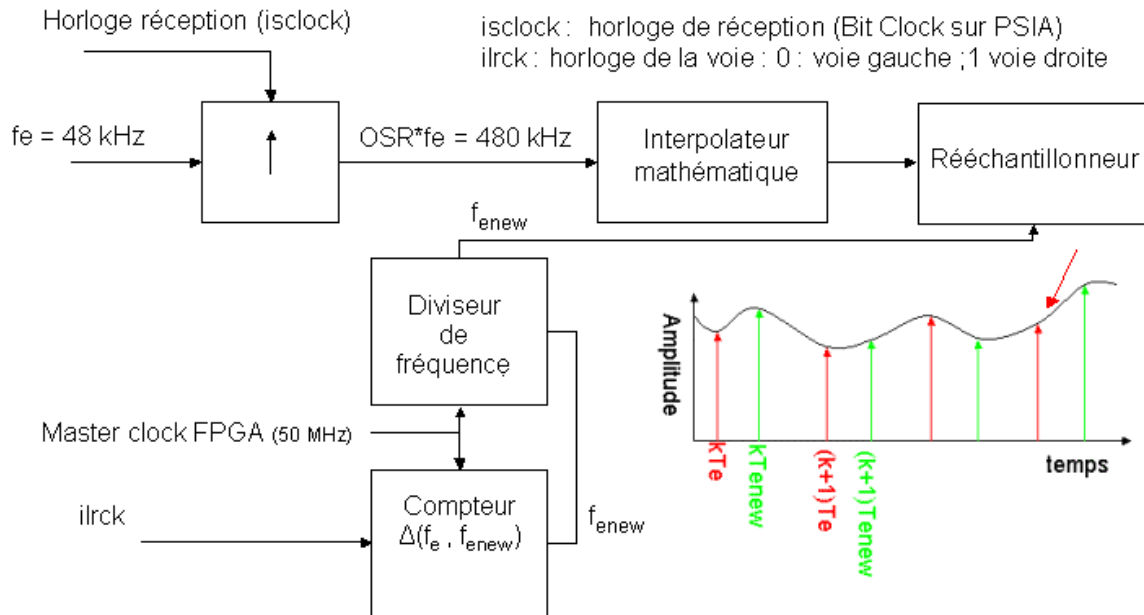
- Le §2 décrit le principe de fonctionnement de l'ASRC ;
- Le §3 présente l'architecture des modules constitutifs de l'ASRC ;
- Le §4 contient les principaux résultats de simulations
- D'autres résultats sont présentés dans les annexes.

---

<sup>1</sup> Asynchronous Sample Rate Converter (ASRC)

## 2 Principes de fonctionnement – Aspects théoriques

La figure suivante illustre de fonctionnement du convertisseur de taux d'échantillonnage asynchrone :



Nous nous focalisons sur l'interpolateur mathématique et sur le ré échantillonneur.

Dans [Asynchronous Sample Rate Converter for Digital Audio Amplifiers](#)<sup>2</sup>, l'interpolateur mathématique crée un nouveau signal considéré comme quasi-continu<sup>3</sup>.

L'échantillonneur discrétise les signaux de l'interpolateur mathématique à une fréquence  $f_{ew}$  proche de celle d'entrée  $f_e$ . La fréquence  $f_{ew}$  résulte de la division de fréquence de la Master Clock du FPGA. Même si les deux fréquences sont égales, un déphasage peut subsister entre elles.

Le compteur  $\Delta(ilrck, f_{ew})$  débute le comptage sur les fronts montant<sup>4</sup> et descendant<sup>5</sup> du signal  $ilrck$  et l'arrête sur le front montant de l'horloge  $f_{ew}$ . Le contenu du compteur à cet instant est l'écart temporel  $\delta$  entre les deux horloges et intervient dans la formule de la correction appliquée à l'échantillon :

$$y_n = \delta * \frac{x_n - x_{n-1}}{T_e} + x_n. \text{ Le coefficient : } \frac{x_n - x_{n-1}}{T_e} \text{ provient d'un filtre dérivateur inséré dans}$$

l'interpolateur mathématique qui est alors d'ordre 1.

$X_n$  résulte de l'échantillonnage à 50 kHz du signal sur échantillonné à 480kHz.

<sup>2</sup> Auteurs: Pallab Midya, Bill Roekner and Tony Schooler 2006

<sup>3</sup> C'est à dire non discrétisé

<sup>4</sup> Pour les échantillons de la voie droite

<sup>5</sup> Pour les échantillons de la voie gauche

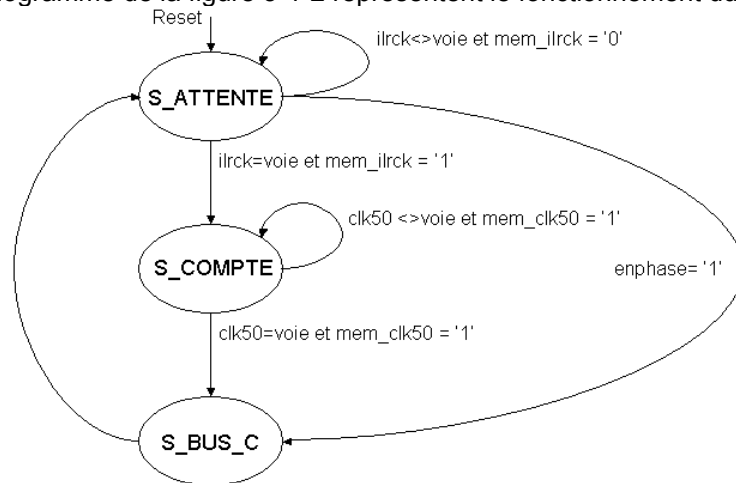
### 3 Conception

Cette partie comprend trois blocs principaux :

- Le compteur  $\Delta(ilrck, f_{enew})$  qui mesure le décalage temporel entre les fronts montants des horloges *ilrck* et d'échantillonnage à 50kHz pour la voie droite et les fronts descendants de ces mêmes signaux pour la voie gauche (§3-1) ;
- Le système d'échantillonnage à la fréquence de 50 kHz ( $f_{enew}$ ) (§3-2) ;
- La partie calcul des nouveaux échantillons à partir des informations de décalage temporel et de pente du signal provenant du dérivateur (§3-3).

#### 3-1 Détermination du décalage temporel entre les fronts

Le décalage temporel entre les fronts calcule la valeur  $\Delta(ilrck, f_{enew})$ <sup>6</sup>. La machine à états finis de la figure 3-1-1 et le chronogramme de la figure 3-1-2 représentent le fonctionnement du compteur.



ilrck = horloge de voie PS (ilrck = 0 : voie gauche / ilrck = 1 voie droite )  
 clk50 = horloge 50 kHz (indications identiques au signal ilrck )  
 mem\_ilrck = mémoire interne niveau ilrck pour déclenchement sur front  
 mem\_clk50 = mémoire interne niveau clk50 pour déclenchement sur front

Figure 3-1-1 : Machine à états finis du compteur de décalage temporel

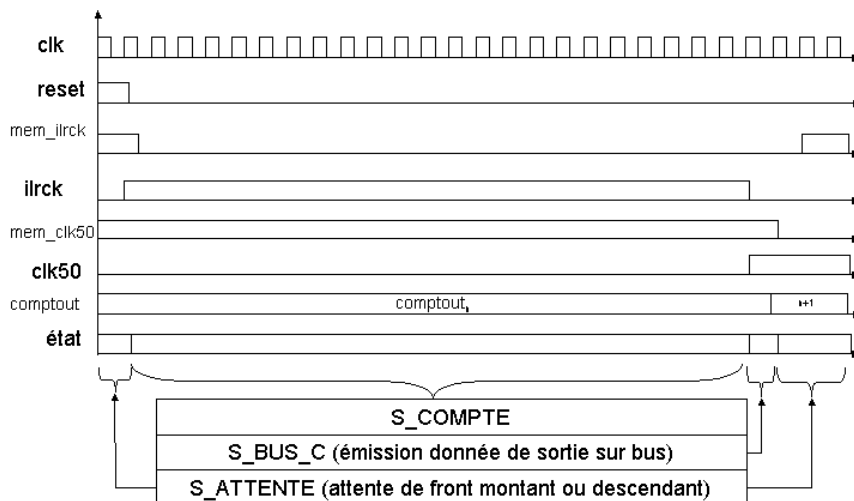


Figure 3-1-2 : Chronogramme du compteur de décalage temporel

<sup>6</sup> Cette valeur correspond au déphasage si les fréquences des deux signaux sont identiques.

## CONCEPTION

Dans l'état *S\_COMPTE* le compteur de décalage utilise l'horloge du FPGA, afin d'éviter la multiplication des horloges de fréquences différentes dans le FPGA ou dans le circuit.

Le décalage est défini à  $2\pi$  près soit  $T_e$  ( $1/f_e$ ). En utilisant l'horloge  $f_{clock}$ , la plus grande valeur de décalage ou de compteur correspondant à  $T_e$  qui peut être atteinte est donnée par le rapport :

$$\frac{f_{clock}}{f_e}$$

Dans notre cas, ce rapport vaut  $50000/48 = 1041$ .

Le plus petit écart temporel (Least Significant Bit du compteur) est donc  $1/1041$  de période.

La valeur de décalage vaut après chaque comptage  $k_n$ . Les valeurs extrêmes de  $k_n$  sont  $-1$  et  $1$  correspondant respectivement à  $2^{23}$  et  $2^{23}-1$  soit  $-8388608$  et  $8388607$  lors de l'expression de la valeur obtenue en nombre entier signé à virgule fixe sur 24 bits.

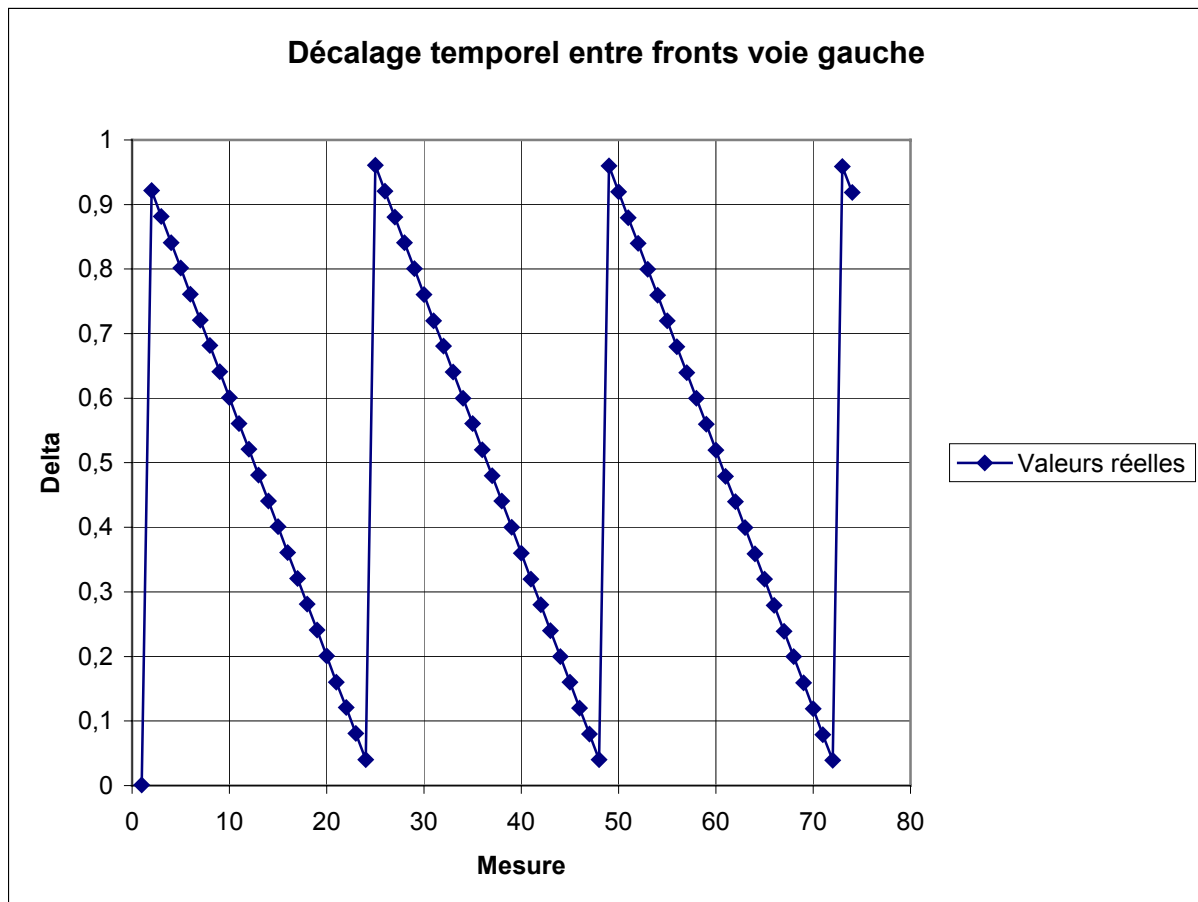
Pour obtenir la valeur  $k_n$ , lors de l'émission sur le bus dans l'état *S\_BUS\_C*, le contenu du compteur est multiplié par le coefficient :

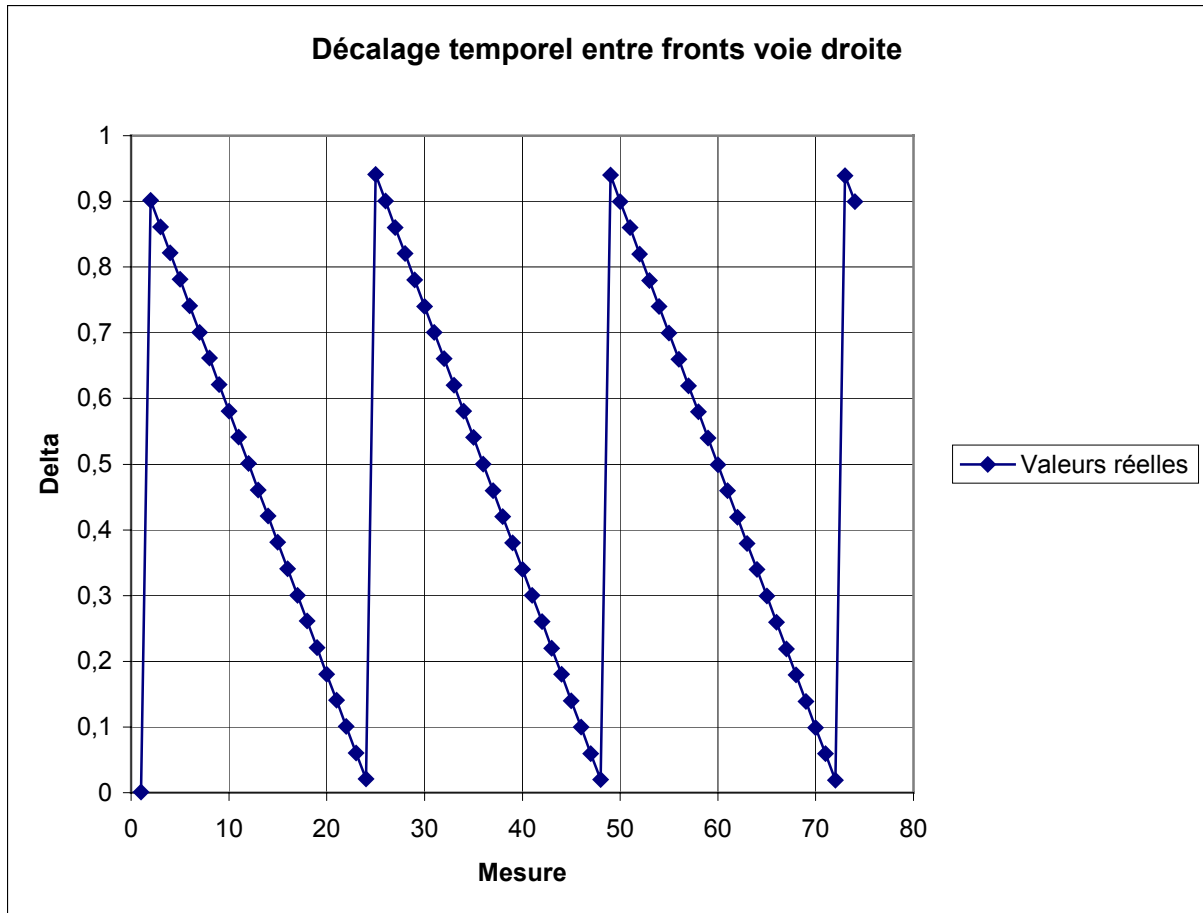
$$\alpha = 2^{N_{bits}-1} * \frac{f_e}{f_{clock}}$$

Dans notre cas :

- $N_{bits} = 24 : 2^{N_{bits}-1} = 8388608$  ;
- $f_{clock} = 50$  MHz et  $f_e = 48$  kHz ;
- Le coefficient multiplicateur  $k = 8388608 * 48/50000 = 8053$ .

Les deux graphiques qui suivent présentent les décalages temporels pour les voies gauche (décalage entre les fronts descendants des signaux *ilrck* et *clk50*) et droite (décalage entre les fronts montants des signaux *ilrck* et *clk50*).

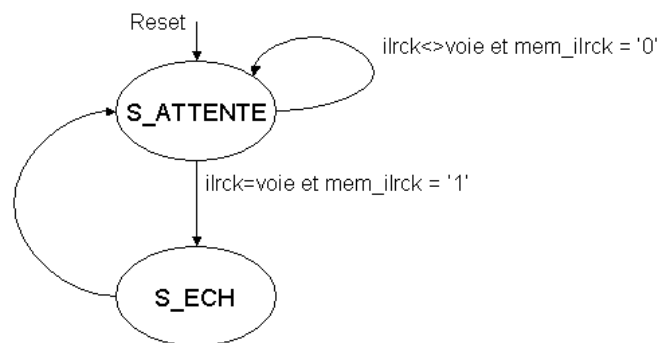




Les résultats de simulation des descriptions VHDL sont présentés dans l'[annexe 1](#).

### 3-2 Echantillonnage à $f_{enew}$

L'échantillonnage à la fréquence  $f_{enew} = 50\text{kHz}$  se déroule selon la machine à états finis de la figure 3-2-1. Le fonctionnement temporel est conforme au chronogramme de la figure 3-2-2.



ilrck = horloge de voie PS (ilrck = 0 : voie gauche / ilrck = 1 voie droite )  
 mem\_ilrck = mémoire interne niveau ilrck pour déclenchement sur front

**Figure 3-2-1 : Machine à états finis échantillonnage**

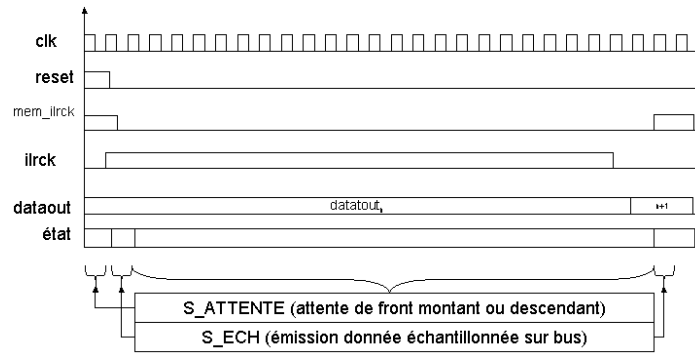


Figure 3-2-2 : Chronogramme échantillonnage

L'[annexe 2](#) regroupe les simulations pour les deux voies ainsi que le détail du fonctionnement des machines à états finis pour chacune des deux voies.

### 3-3 Valeur du nouvel échantillon

Sur le front descendant de clk50 pour la voie gauche et le front montant de clk50 pour la voie droite, si la donnée est validée, le nouvel échantillon est calculé selon la formule définie au §2 en suivant l'algorithme ci-dessous :

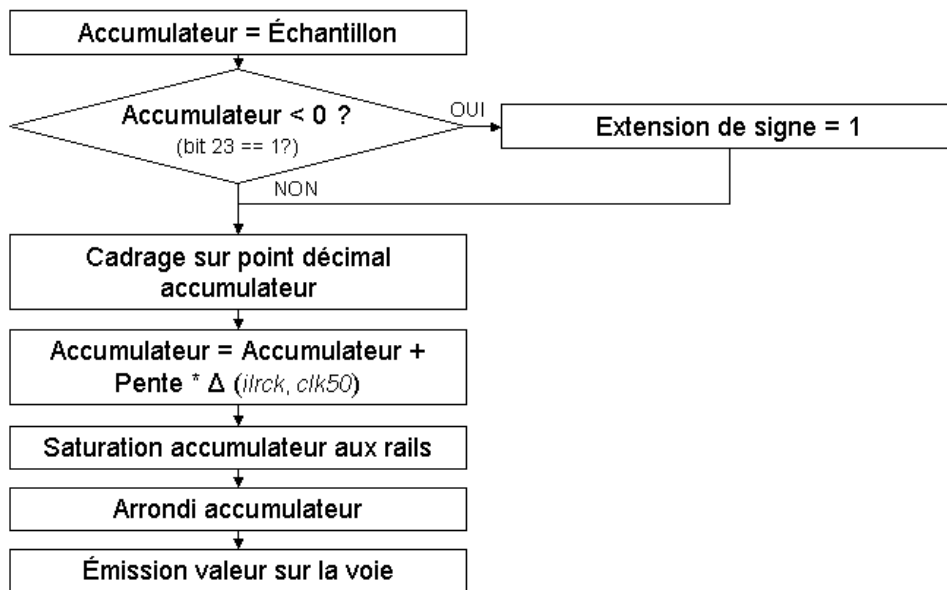


Figure 3-3-1 : Algorithme de calcul nouvel échantillon

Le cadrage sur le point décimal consiste à effectuer des décalages à gauche pour obtenir une expression correcte en virgule fixe :

En effet, les valeurs physiques exprimées en nombre entier à virgule fixe sur 24 bits avec cadrage à gauche peuvent être représentés selon la figure 3-3-2 :

### Point décimal

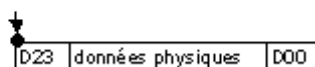


Figure 3-3-2 : Positionnement point décimal sur 24 bits

## CONCEPTION

Avant même d'effectuer le calcul par l'opération *MAC (Multiply Accumulate)*, les données doivent être positionnées selon la figure 3-3-3 :



**Figure 3-3-3 : Positionnement point décimal sur 48 bits**

Si le cadrage n'est pas effectué, le calcul est erroné comme le montre le tableau ci-dessous :

Nombre de bits	Ajustement	Maximum positif	Valeur réelle
24	oui	8388607	0,999999881
48	non	8388607	5,96046E-08
48	oui	1,40737E+14	0,999999881

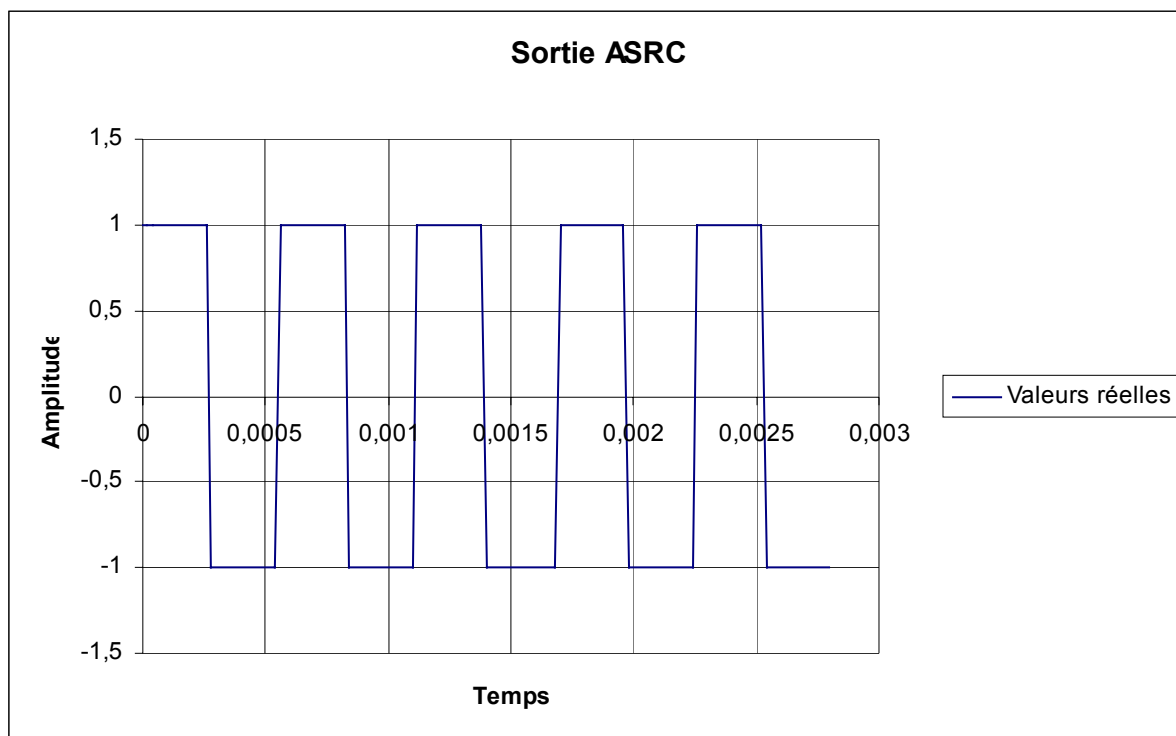
Les résultats de simulation sont présentés in-extenso dans le §4.

#### 4 Résultats de simulations globales

Les simulations du système global ont été effectuées avec des signaux d'entrée – carré (§4-1-1 et §4-1-2), sinus (§4-2-1 et §4-2-2) et triangulaires (§4-3-1 et §4-3-2) - d'amplitude maximale de 1 et de fréquence 1760 Hz. Cette fréquence correspond à la deuxième octave du LA du diapason (440 Hz)<sup>7</sup>. En outre, les simulations ont aussi effectuées avec des signaux sur échantillonnés avec un facteur 2 (voir annexe 4).

##### 4-1 Simulations signaux carrés

##### 4-1-1 Signal échantillonné à 480 kHz

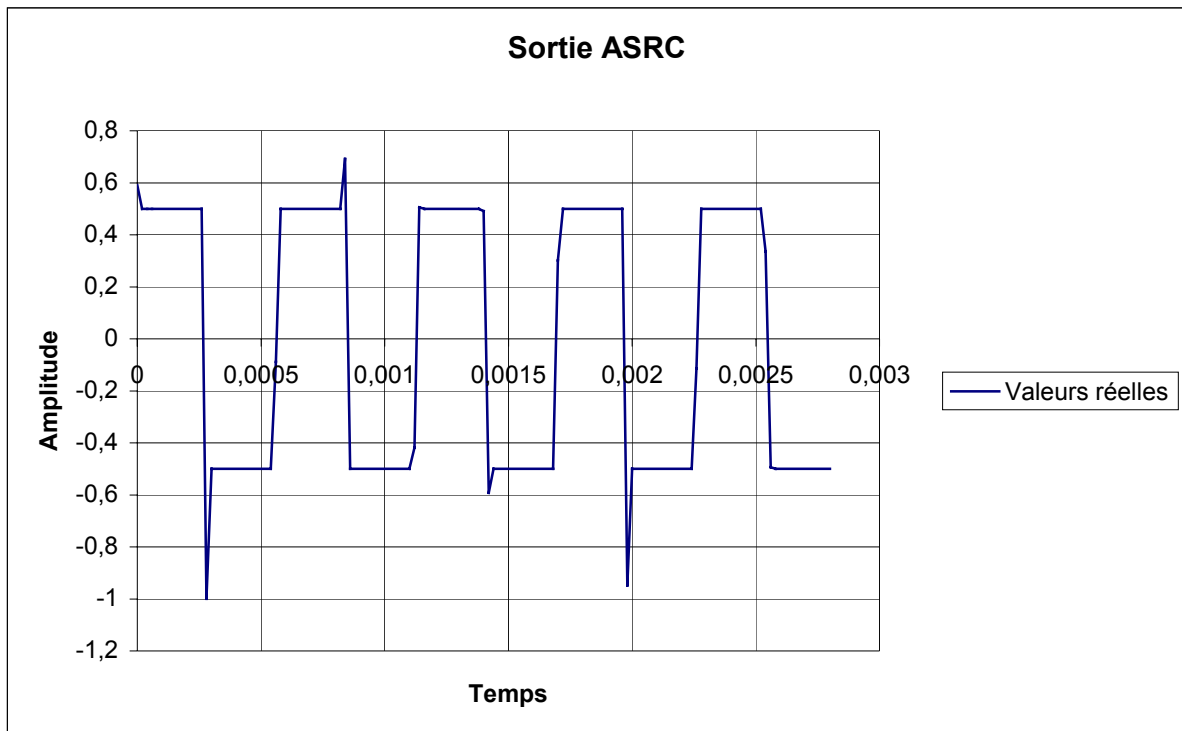


Pour la simulation description VHDL, voir [Annexe 3 – 1 - 1](#)

<sup>7</sup> Bien que cette fréquence corresponde déjà à celle d'une note aiguë, le signal résultant n'est toutefois pas représentatif de la réalité.

## RESULTATS DE SIMULATIONS

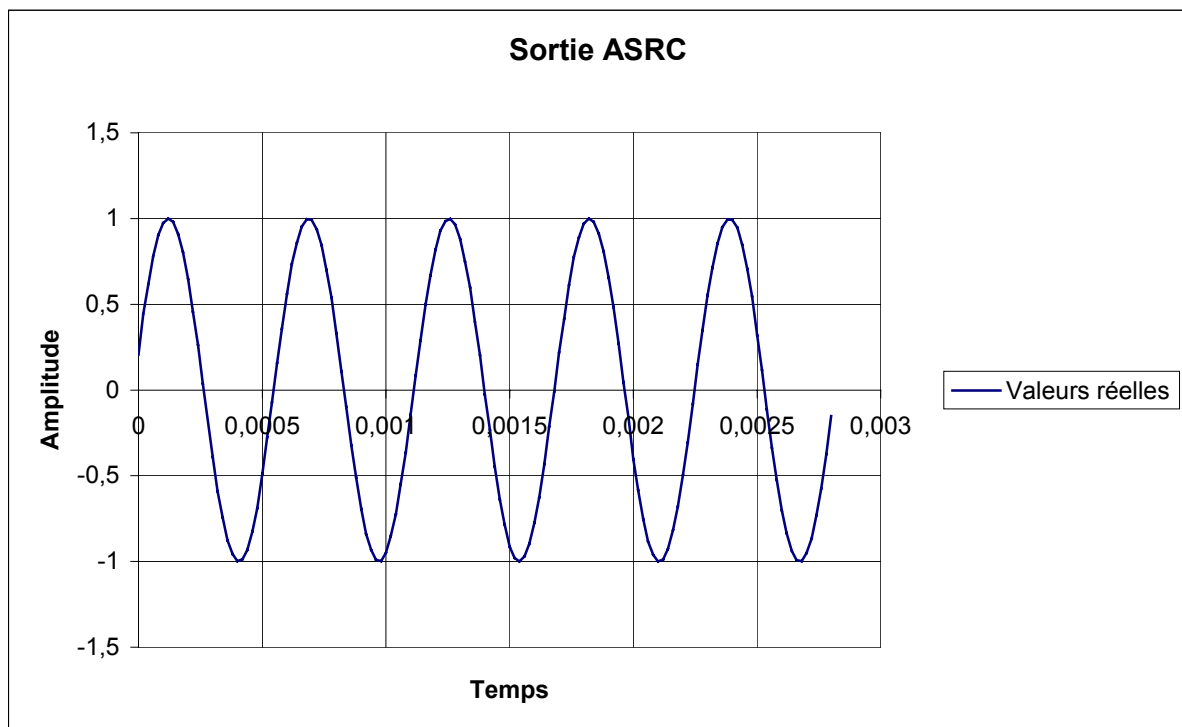
### 4-1-2 Signal échantillonné à 960 kHz

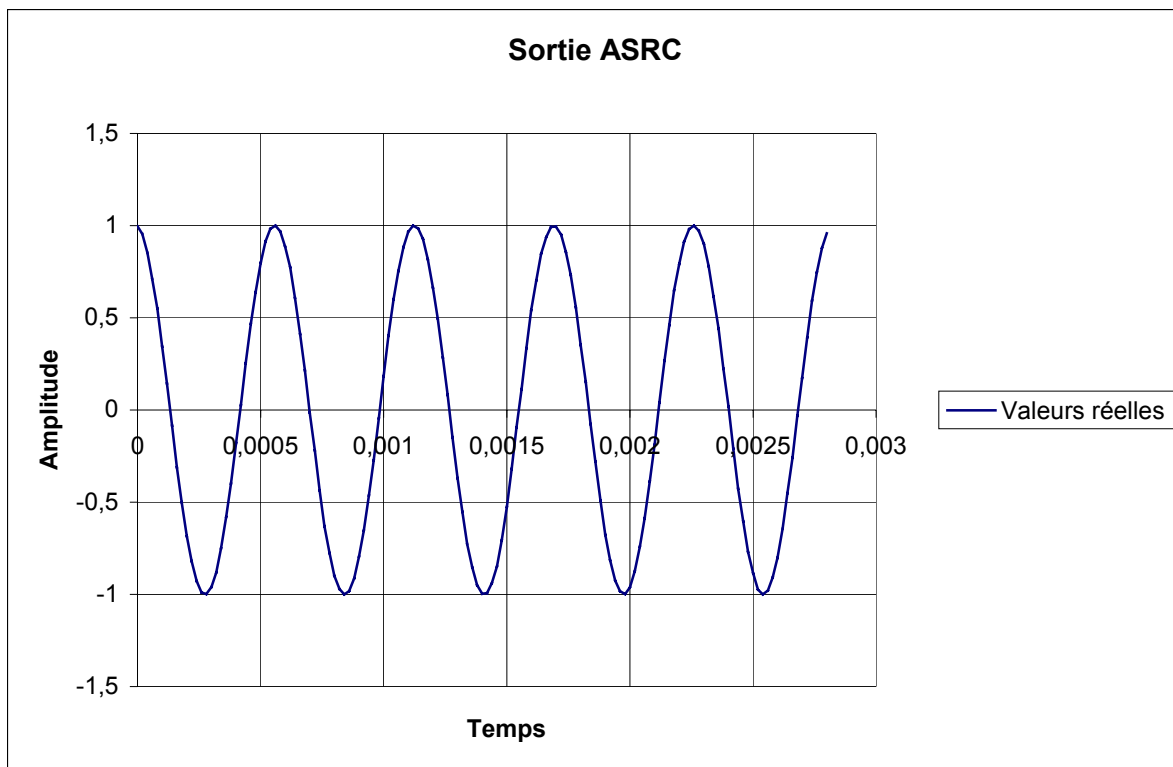


Pour la simulation description VHDL, voir [Annexe 3 – 1 - 2](#)

### 4-2 Simulations signaux sinusoïdaux

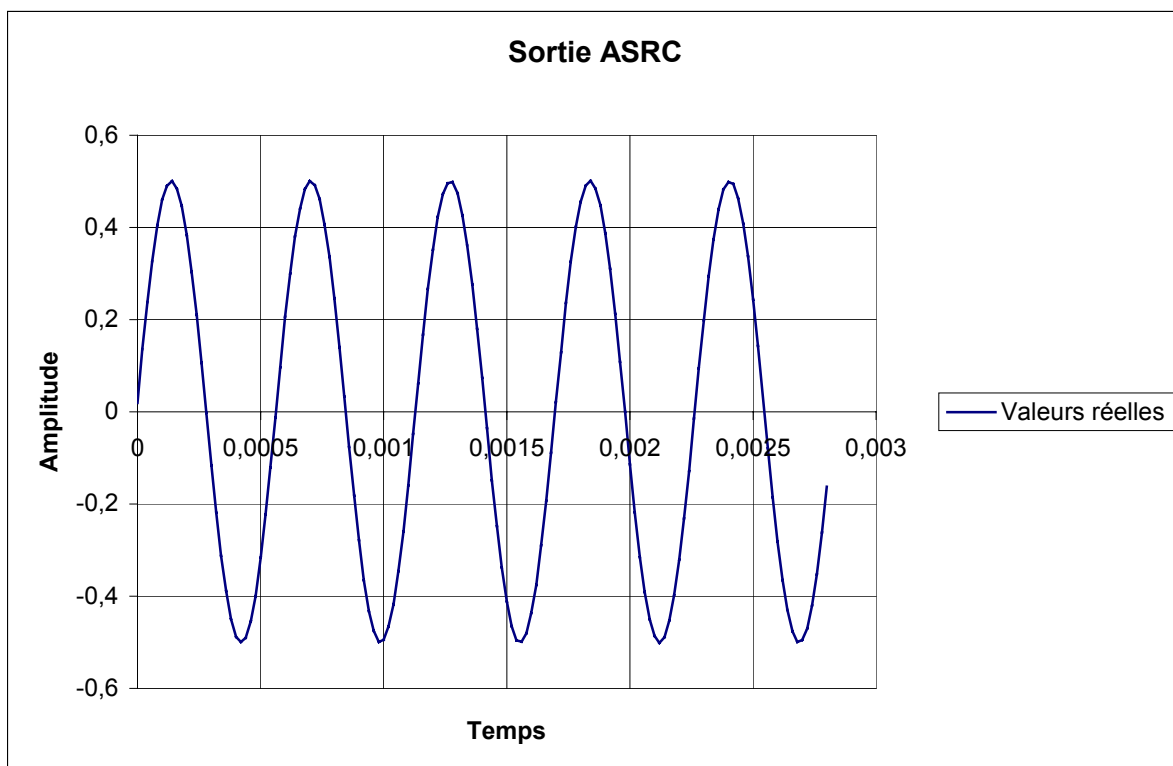
#### 4-2-1 Signal échantillonné à 480 kHz

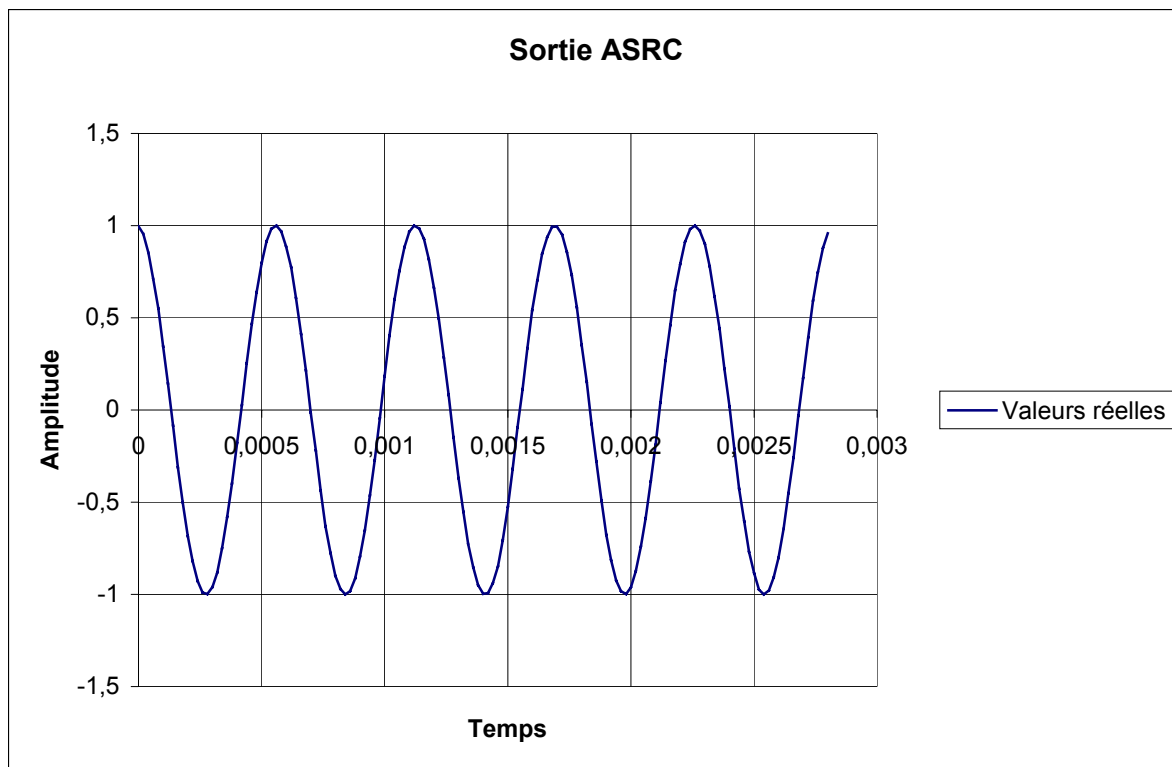




Pour la simulation description VHDL, voir [Annexe 3 – 2 - 1](#)

4-2-2 Signal échantillonné à 960 kHz

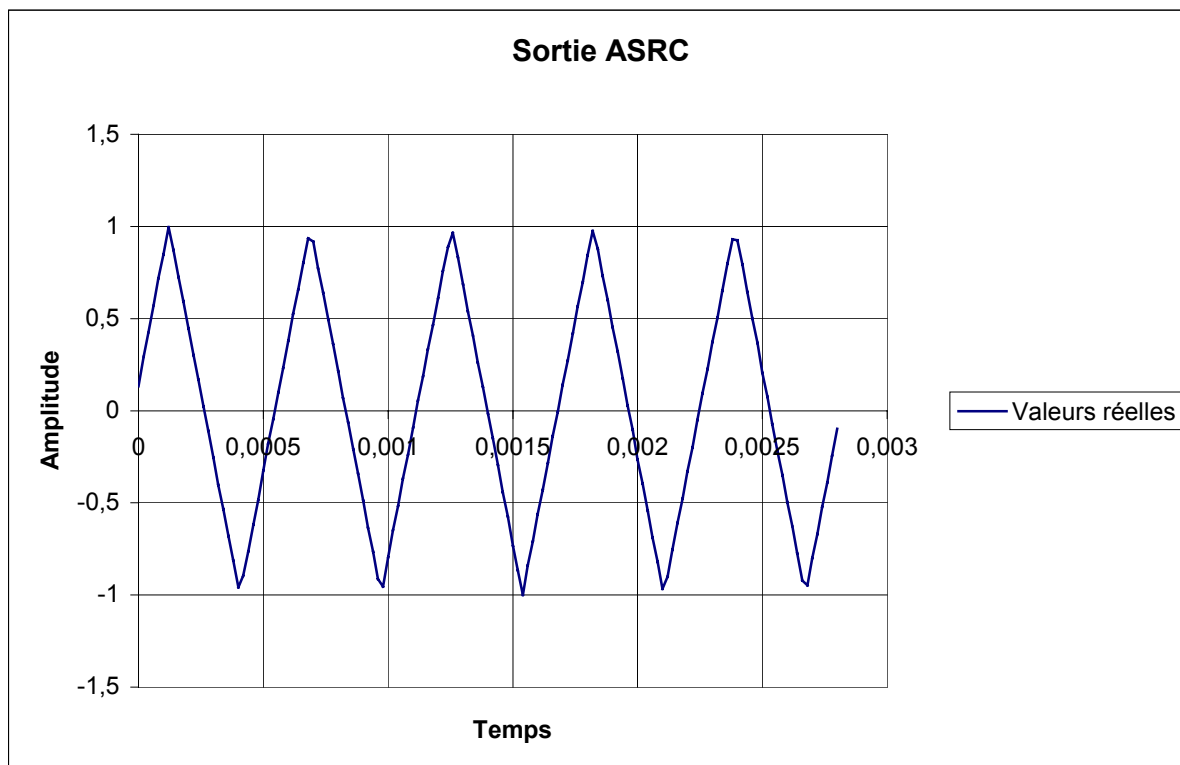




Pour la simulation description VHDL, voir [Annexe 3 - 2 - 2](#)

#### 4-3 Simulations signaux triangulaires

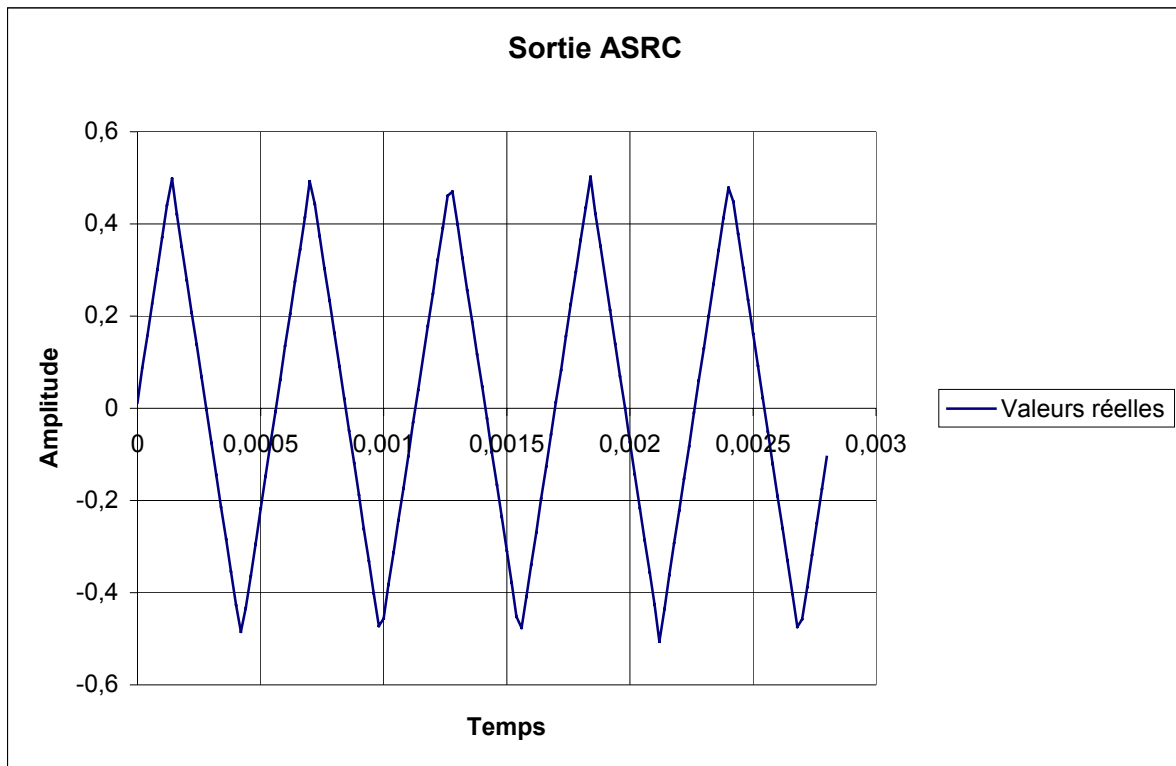
##### 4-3-1 Signal échantillonné à 480 kHz



Pour la simulation description VHDL, voir [Annexe 3 - 3 - 1](#)

## RESULTATS DE SIMULATIONS

### 4-3-2 Signal échantillonné à 960 kHz



Pour la simulation description VHDL, voir [Annexe 3 – 3 - 2](#)

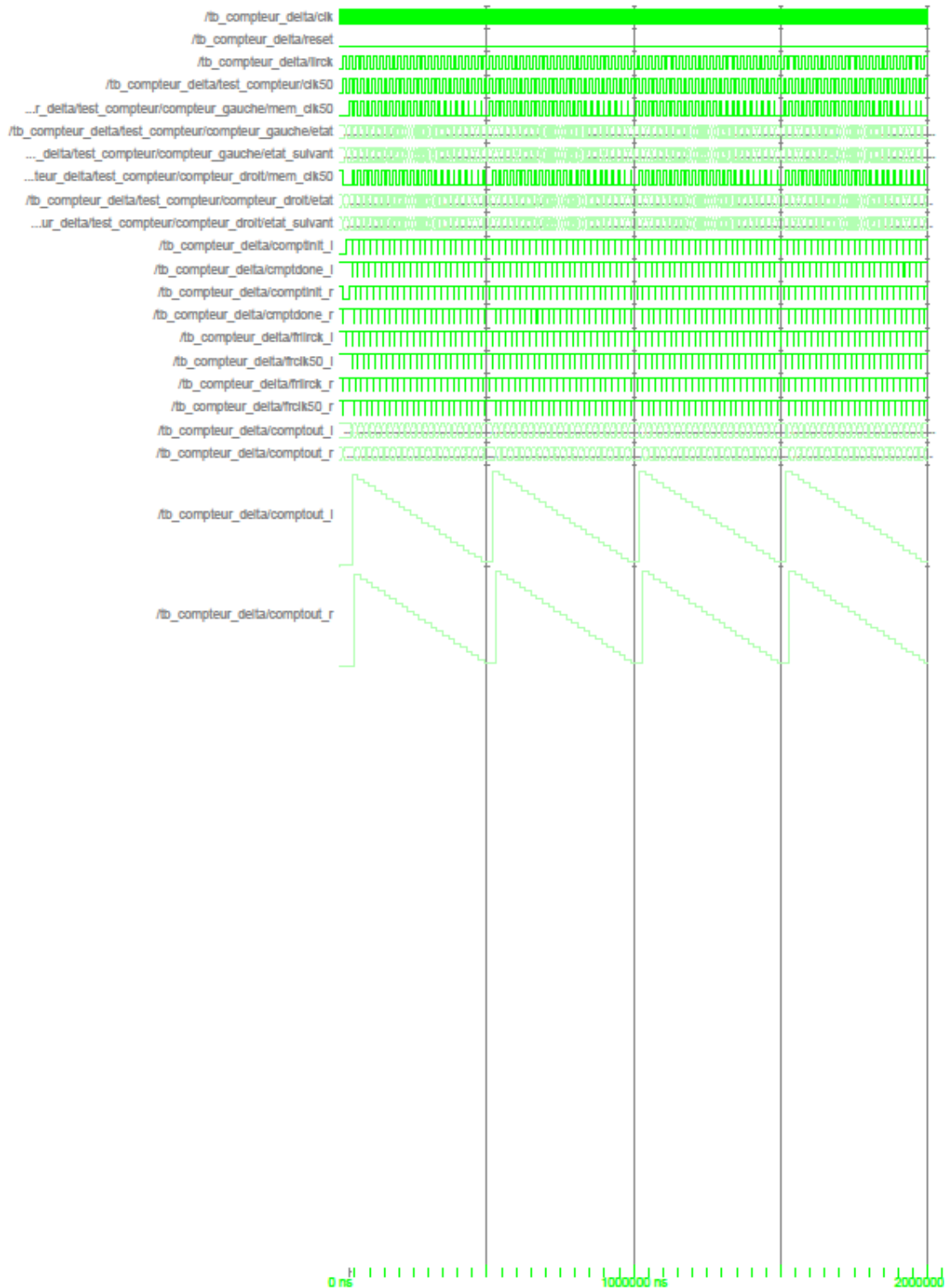
## 5 Conclusion

- Cette étude et ces simulations avant synthèse montre que les signaux de fréquence 48 kHz peuvent être reconstruits à une fréquence différente à 50 kHz. Toutefois, compte tenu des moyens à disposition, il n'est pas possible d'évaluer les performances réelles du circuit.
- Les principales améliorations à prévoir pour économiser les ressources du FPGA ou en encombrement et en nombre de transistors sont :
  - La mutualisation des fonctions *MAC*, arrondi et saturation aux rails ;
  - La vérification plus fine du compteur de décalage.
- L'application de polynômes d'ordre supérieur à 1 pour obtenir une construction plus fine et plus précise des signaux après le nouvel échantillonnage.
- L'impact du sur échantillonnage doit être évalué. En particulier, le gain après filtrage doit être aussi fixé.

**ANNEXE 1 : SIMULATIONS DES COMPTEURS DE DECALAGE**

Les compteurs démarrent sur les fronts descendant et montant du signal *ilrck* et s'arrêtent sur les fronts descendant et montant du signal *clk50*. La machine à états finis est présentée dans la §2 de cette annexe

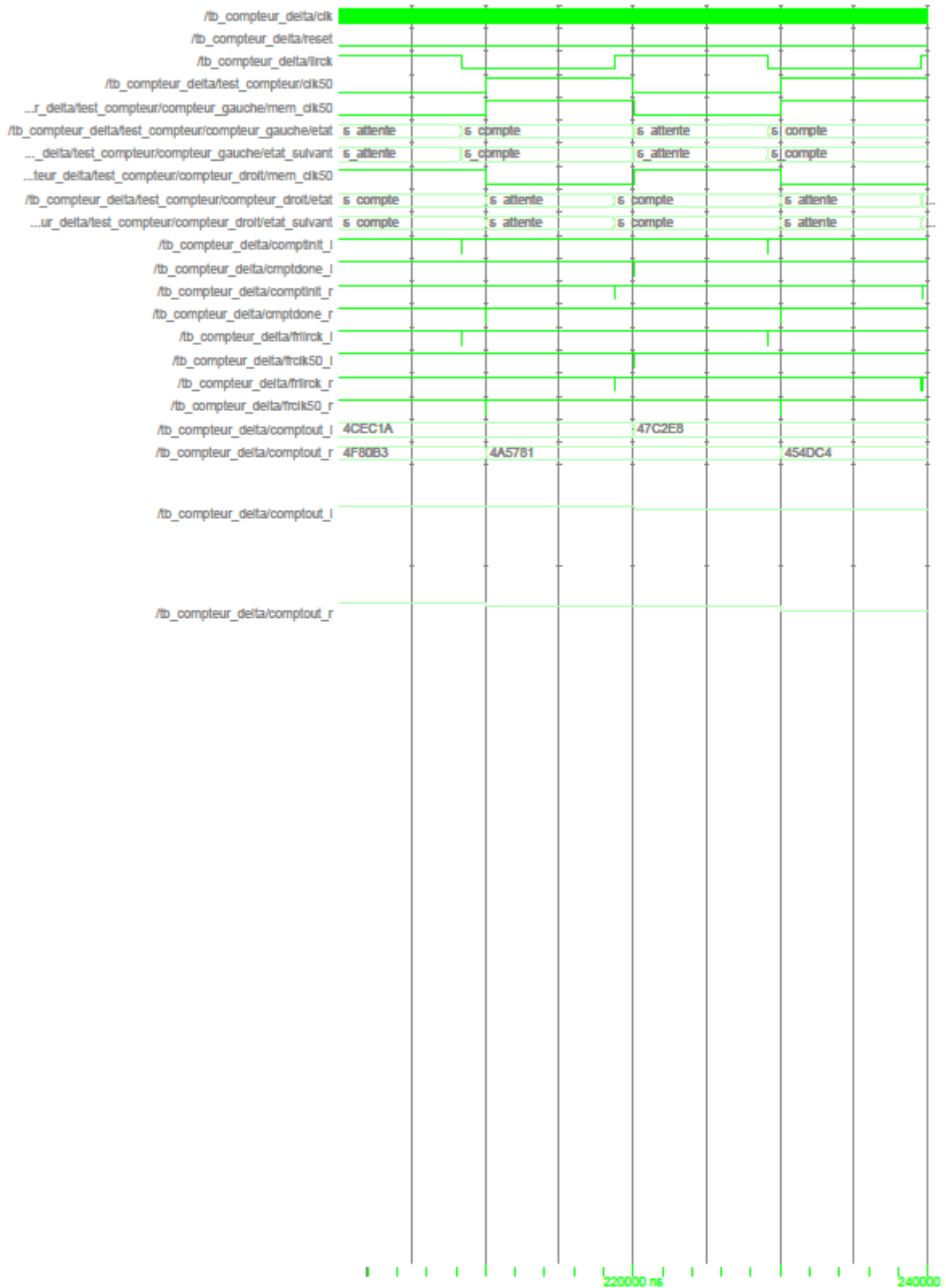
**1 Simulation compteur**



Entity:fb\_compteur\_delta Architecture:test Date: Fri Apr 02 17:00:05 Paris, Madrid (heure d'été) 2010 Row: 1 Page: 1

**2 Fonctionnement machine à états finis**

2-1 Fonctionnement global



Entity:tb\_compteur\_delta Architecture:test Date: Fri Apr 02 17:06:13 Paris, Madrid (heure d'010) 2010 Row: 1 Page: 1

2-2 Démarrage comptage



Entity:tb\_compteur\_delta Architecture:test Date: Fri Apr 02 17:09:50 Paris, Madrid (heure d'été) 2010 Row: 1 Page: 1

2-3 Fin comptage et écriture sur le bus



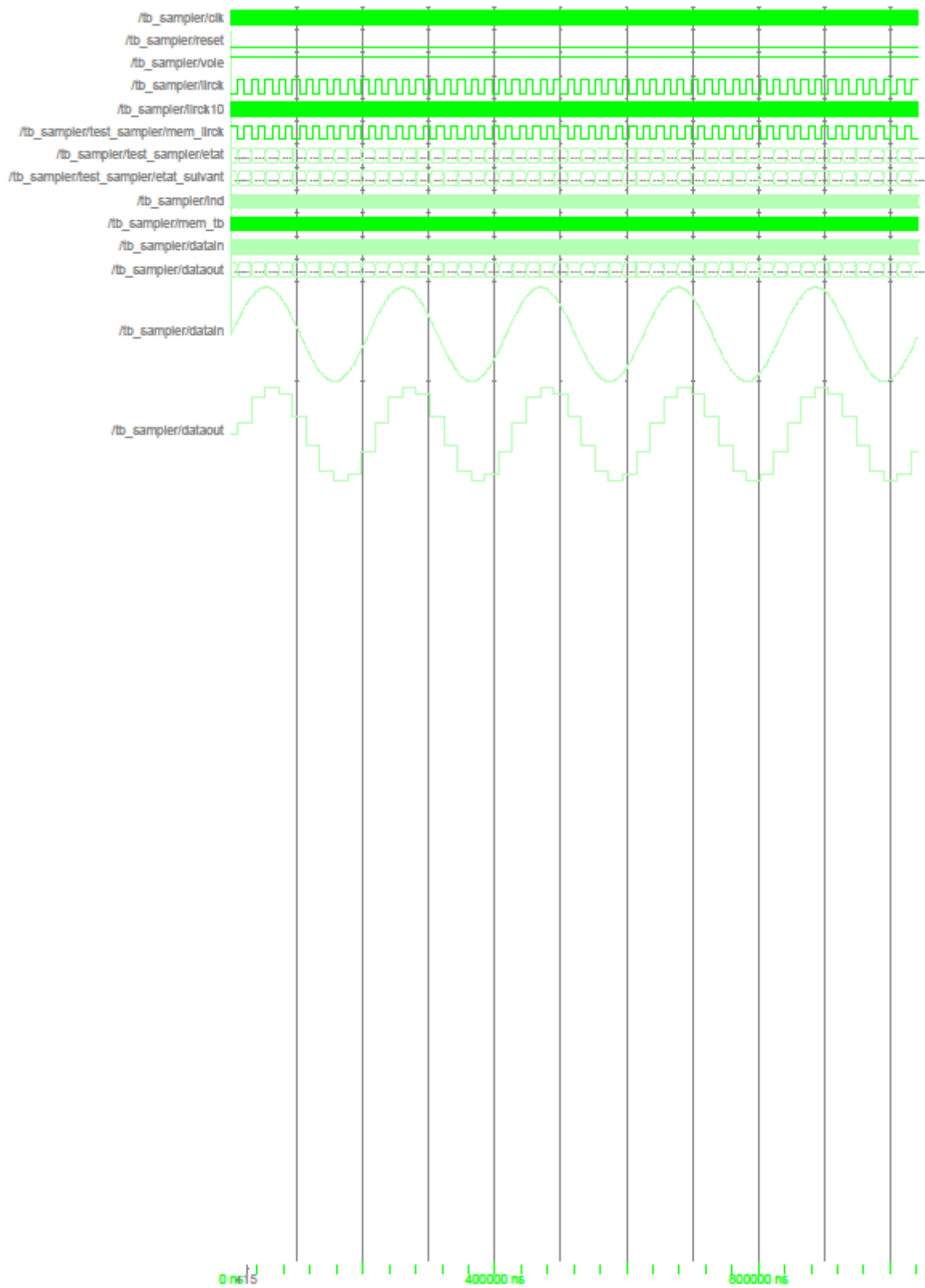
Entity:tb\_compteur\_delta Architecture:test Date: Fri Apr 02 17:12:00 Paris, Madrid (heure d'été) 2010 Row: 1 Page: 1

## ANNEXE 2 : SIMULATION DES ECHANTILLONNEURS

Le [§1](#) montre les résultats de simulations globales des voies droite ([§1-1](#)) et gauche ([§1-2](#)). Le fonctionnement de la machine à états finis est détaillé dans le [§2](#) (voie droite : [§2-1](#), voie gauche [§2-2](#)).

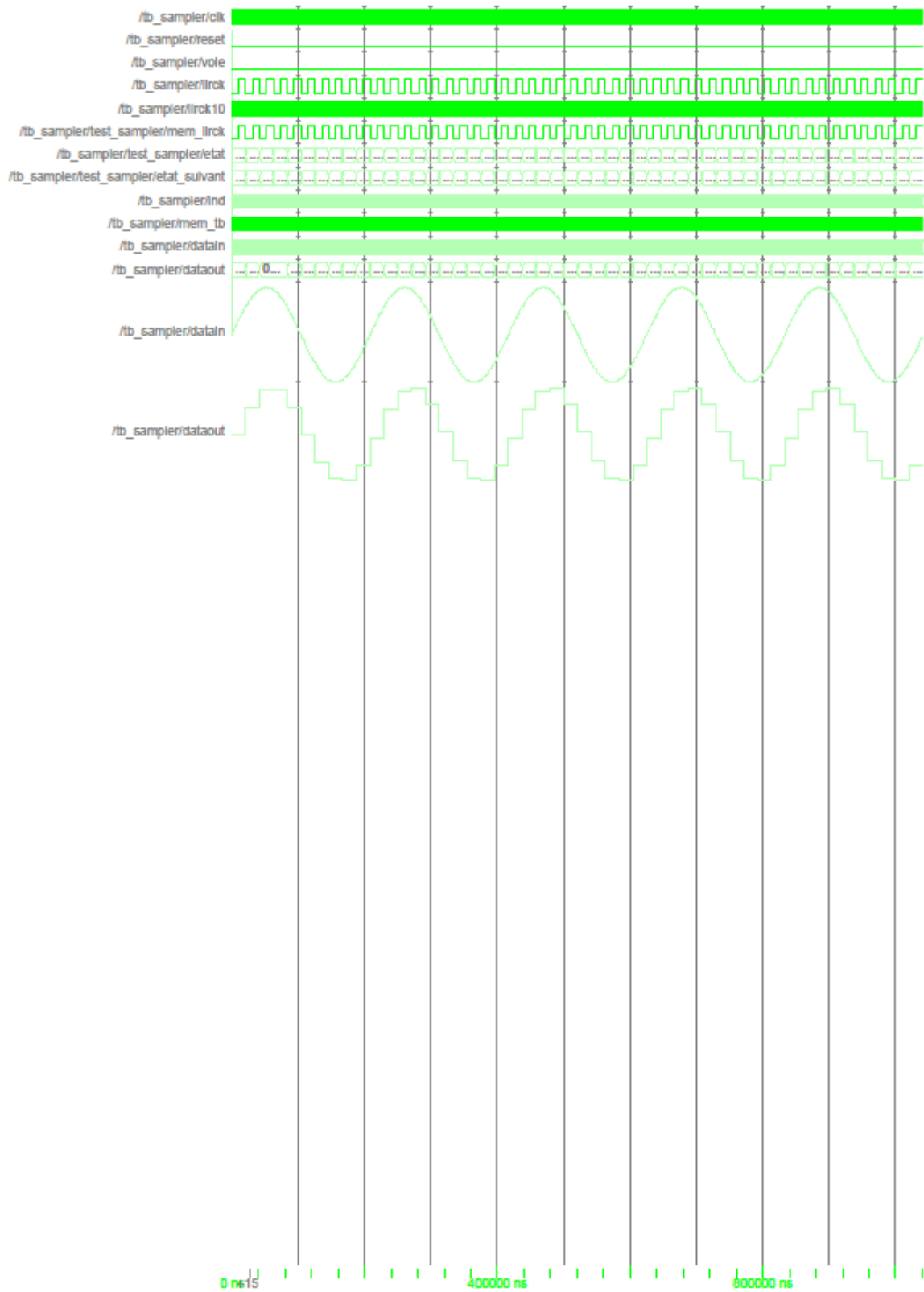
# 1 Simulations globales

## 1-1 Voie droite



Entity:tb\_sampler Architecture:test Date: Sat May 01 07:56:45 Paris, Madrid (heure d'été) 2010 Row: 1 Page: 1

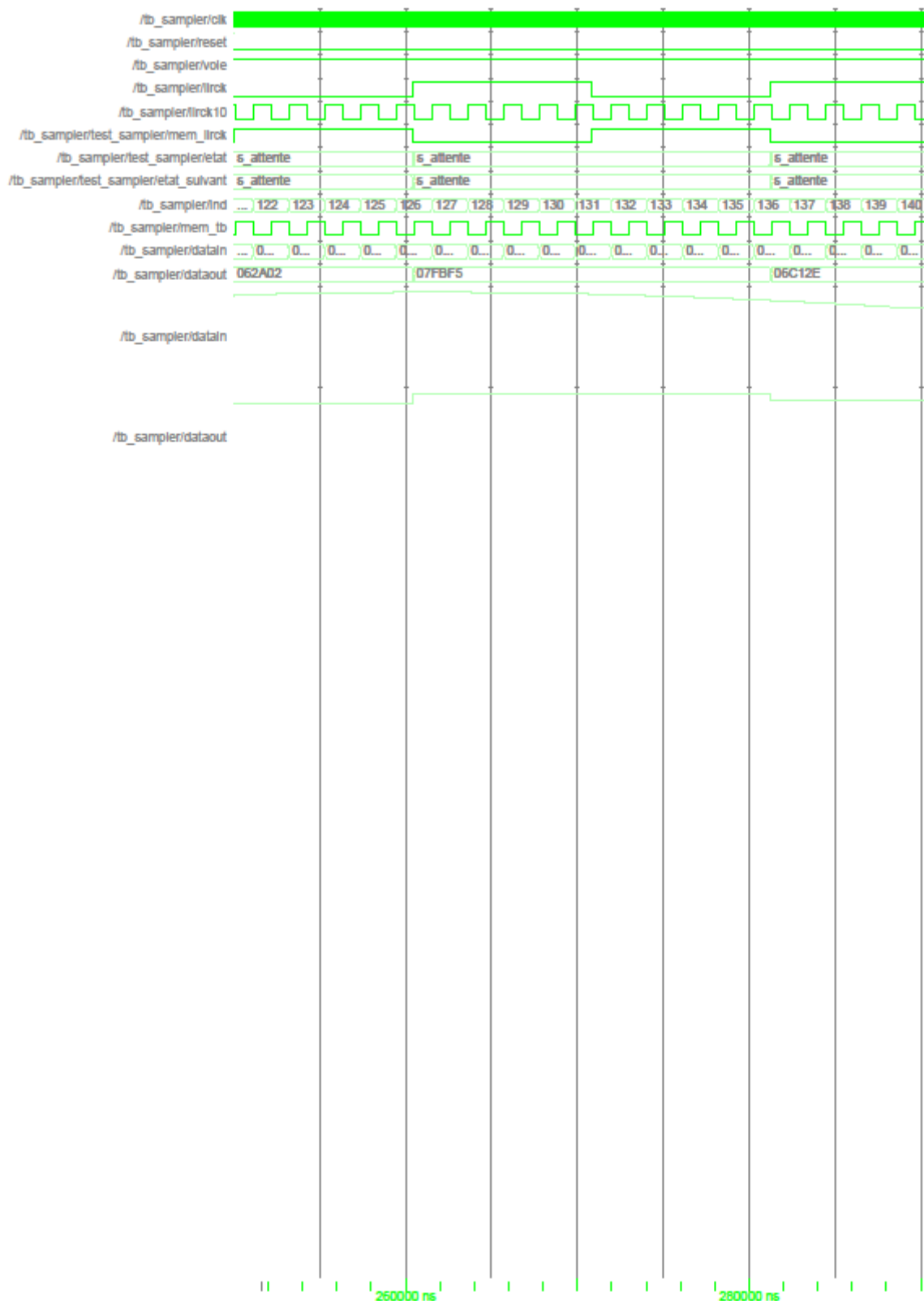
1-2 Voie gauche



Entity:tb\_sampler Architecture:test Date: Sat May 01 08:09:02 Paris, Madrid (heure d'été) 2010 Row: 1 Page: 1

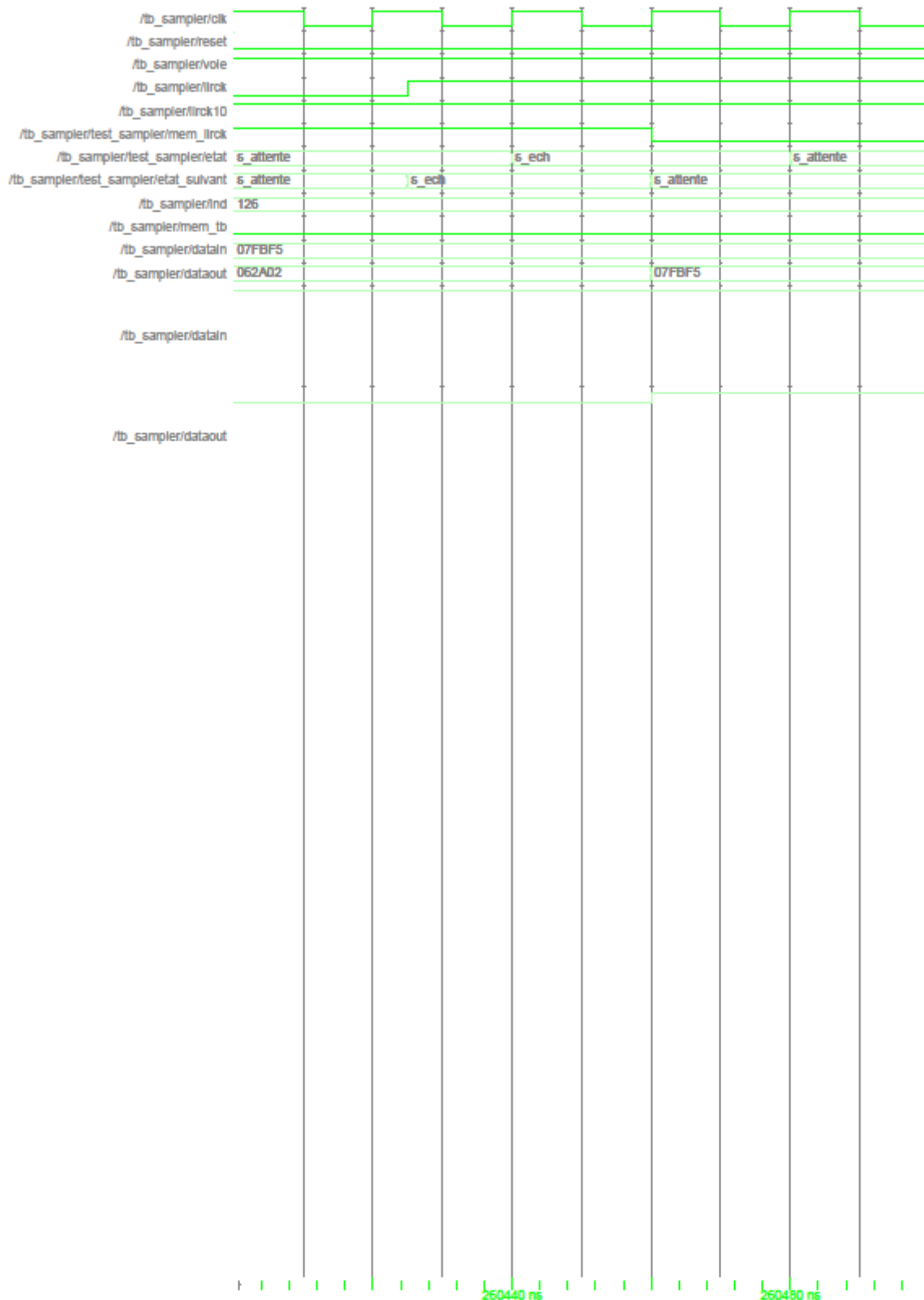
2  **Fonctionnement machine à états finis**

2-1  Fonctionnement voie droite



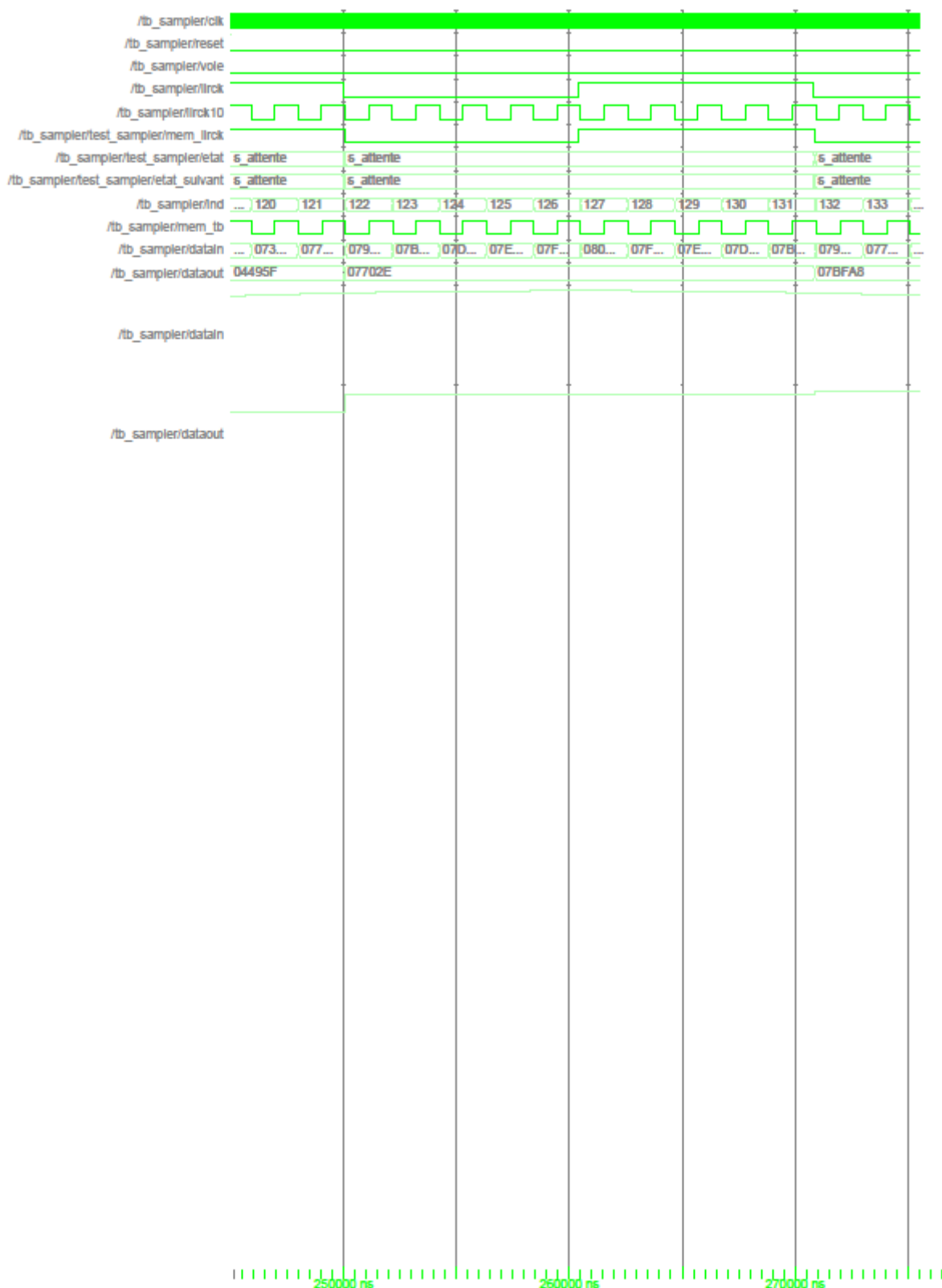
Entity:tb\_sampler Architecture:test Date: Sat May 01 08:06:20 Paris, Madrid (heure d'été) 2010 Row: 1 Page: 1

ANNEXE 2 : SIMULATIONS DES ECHANTILLONNEURS



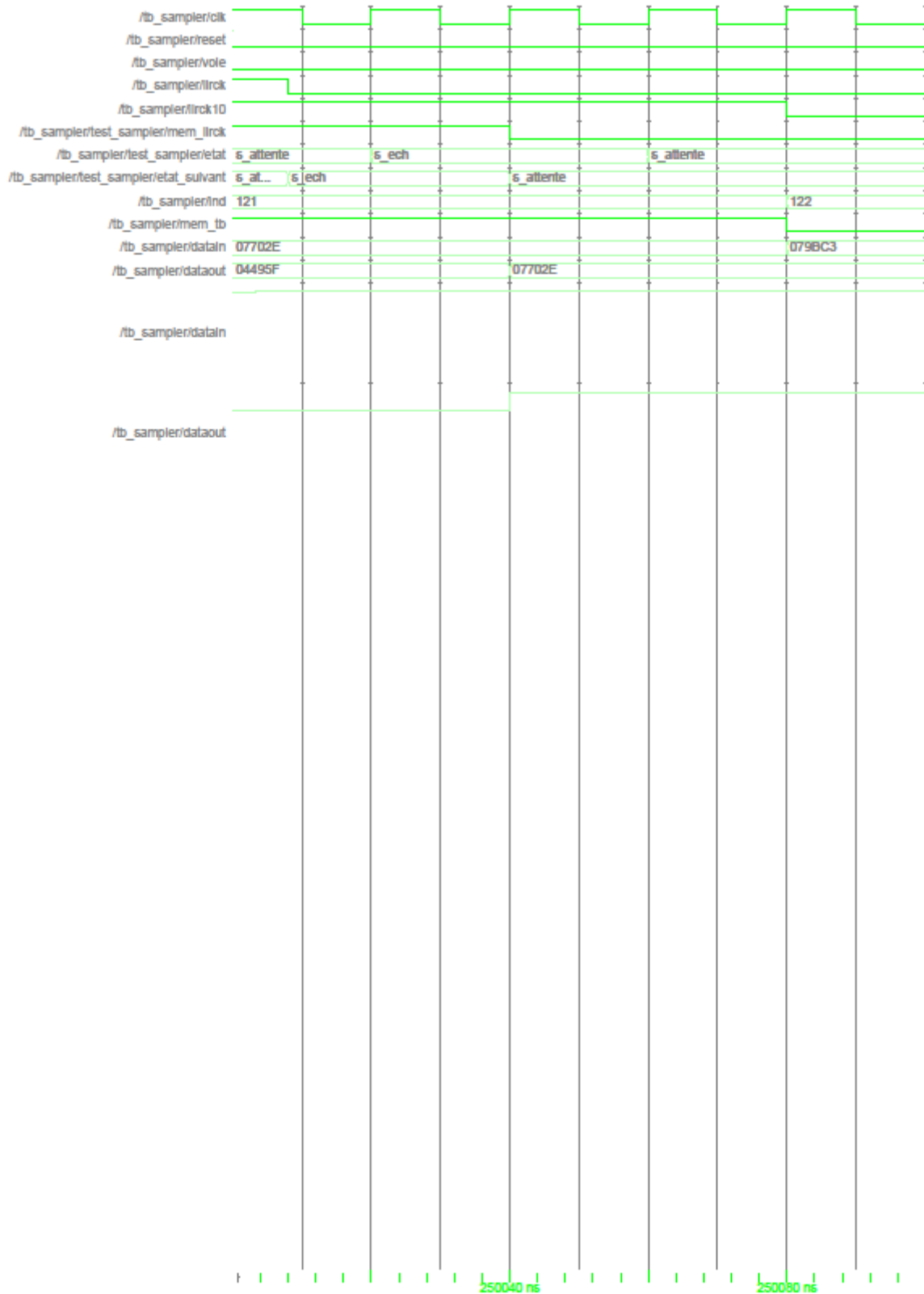
Entity:tb\_sampler Architecture:test Date: Sat May 01 08:01:40 Paris, Madrid (heure d'été) 2010 Row: 1 Page: 1

2-2 Fonctionnement voie gauche



Entity:tb\_sampler Architecture:test Date: Sat May 01 08:11:39 Paris, Madrid (heure d'été) 2010 Row: 1 Page: 1

ANNEXE 2 : SIMULATIONS DES ECHANTILLONNEURS



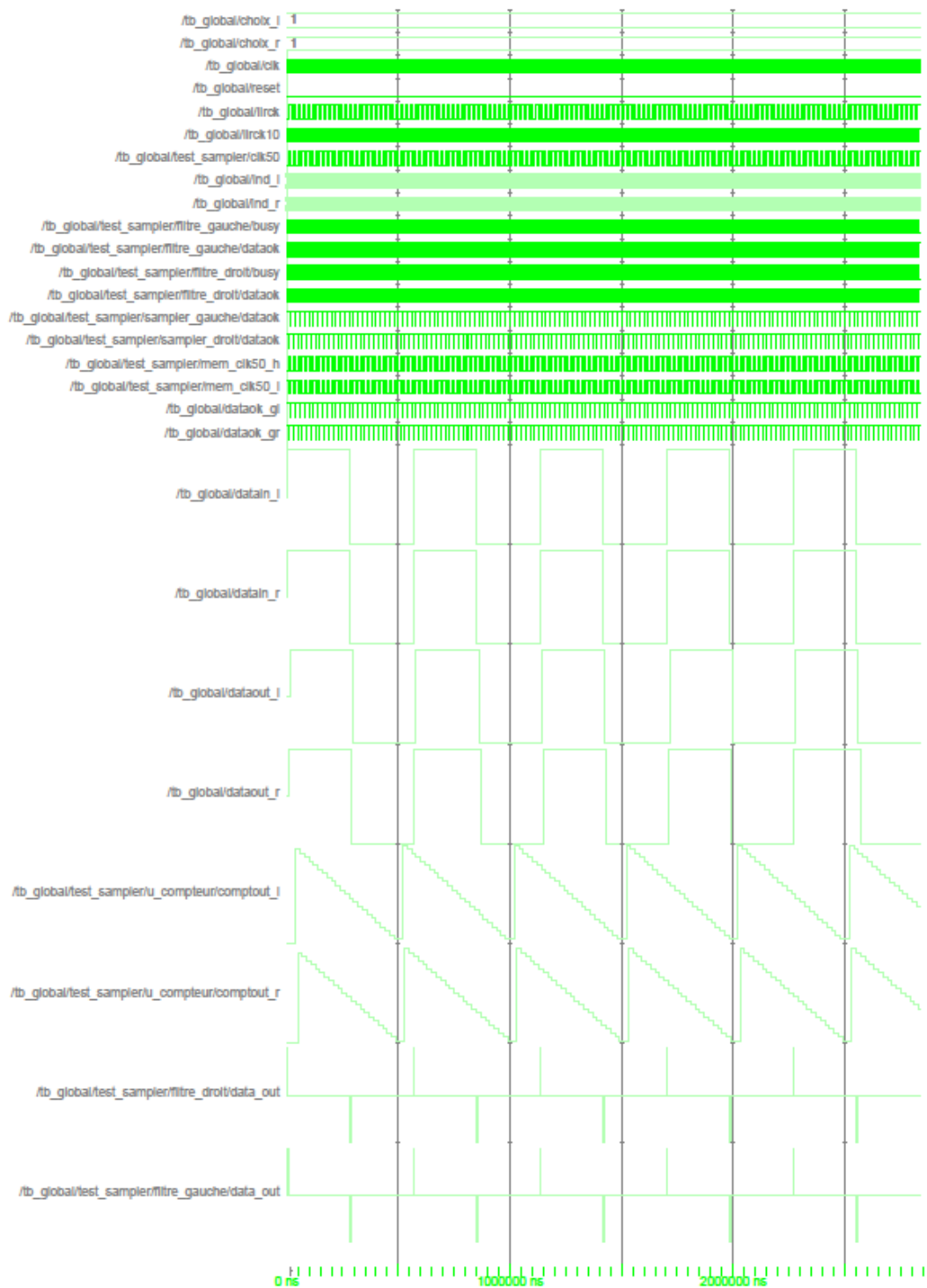
Entity:tb\_sampler Architecture:test Date: Sat May 01 08:13:44 Paris, Madrid (heure d'été) 2010 Row: 1 Page: 1

## ANNEXE 3 : SIMULATIONS GLOBALES

Cette partie comprend les résultats de simulations globales des descriptions VHDL. Celles-ci correspondent aux résultats du §4.

### 1 Simulations signaux carrés

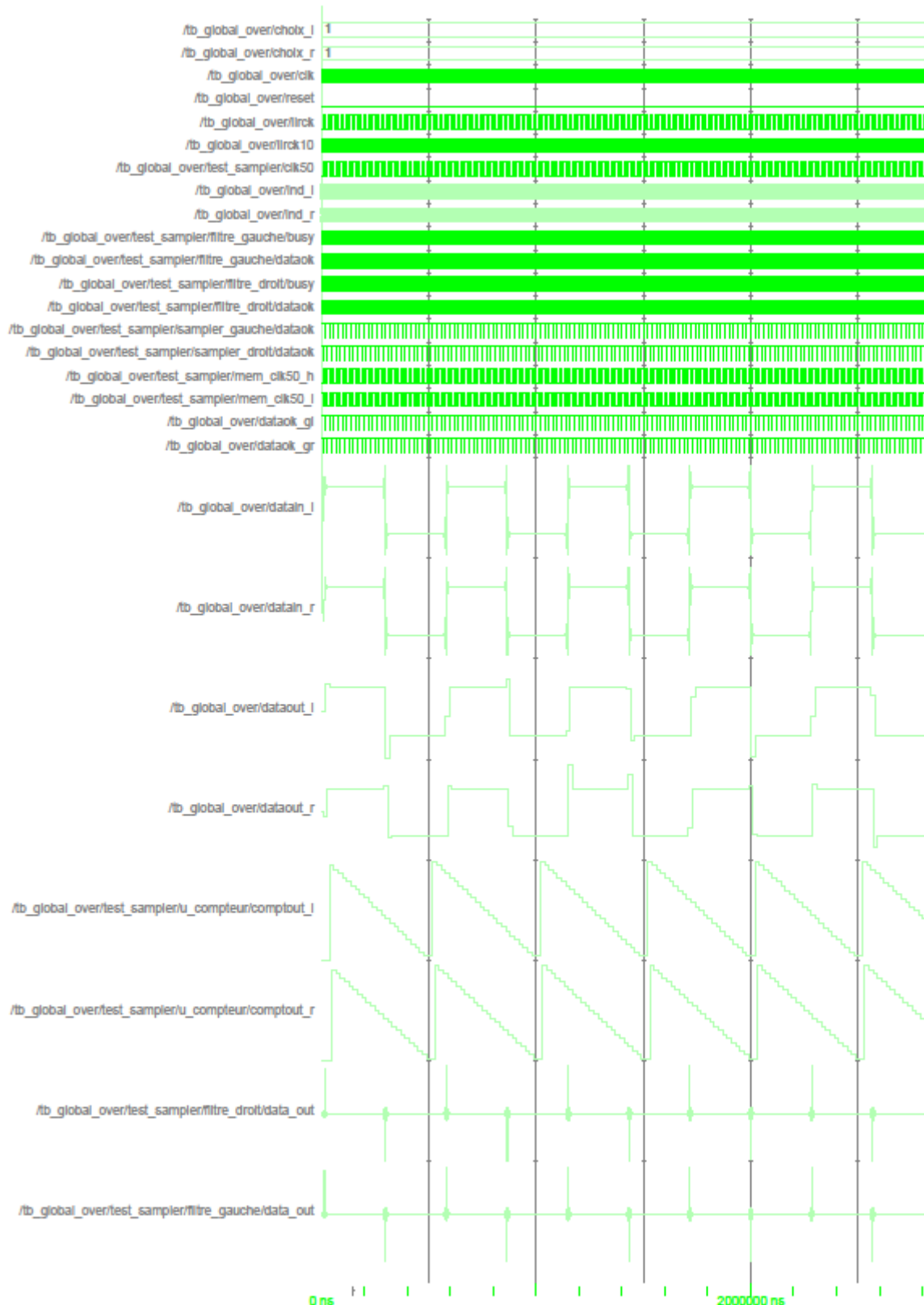
#### 1-1 Signal échantillonné à 480 kHz



Entity:tb\_global Architecture:test Date: Sat Apr 17 10:43:33 Paris, Madrid (heure d'été) 2010 Row: 1 Page: 1

Graphique fichier de résultats : [§4-1-1](#)

1-2 Signal échantillonné à 960 kHz

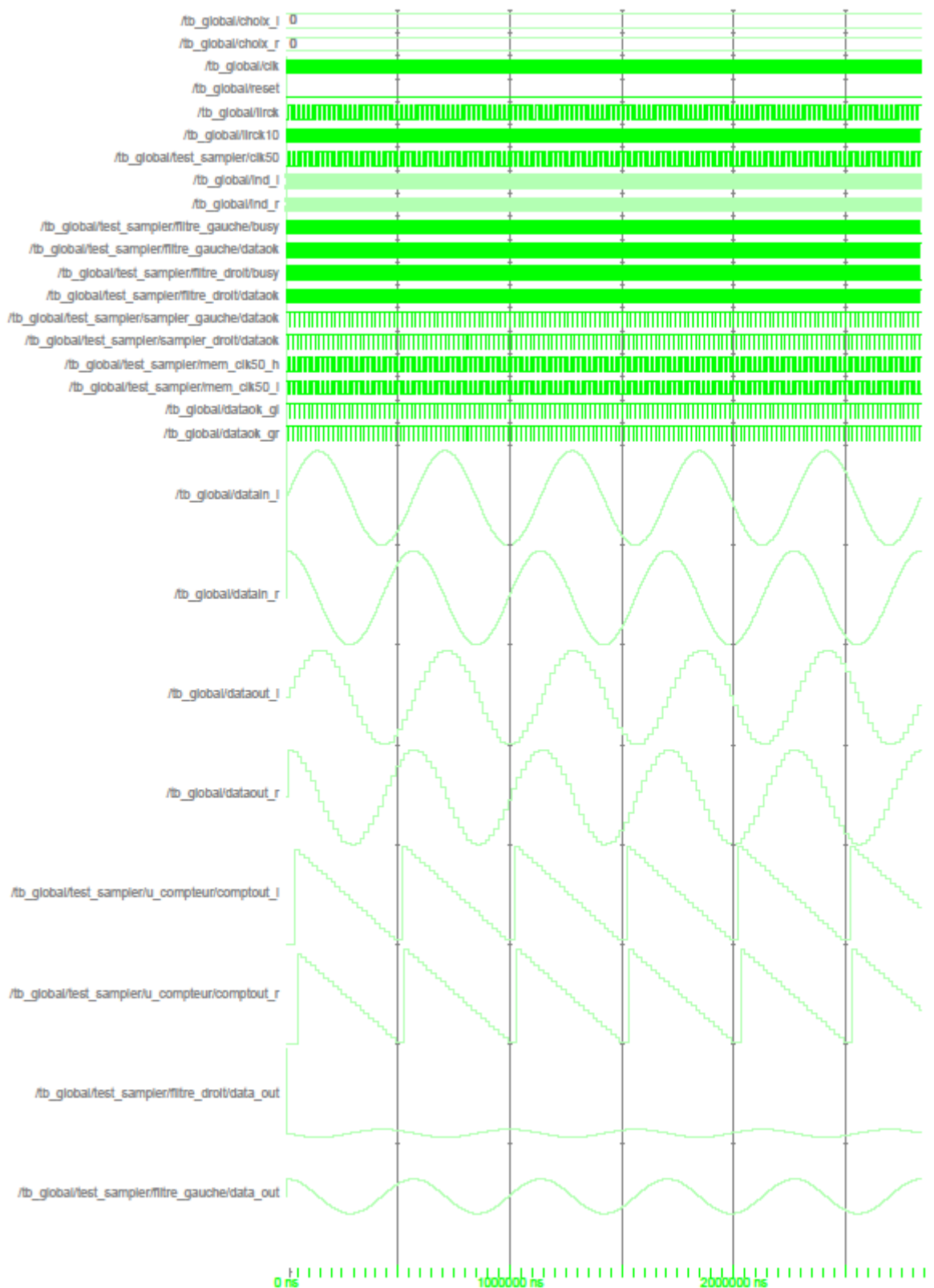


Entity:fb\_global\_over Architecture:test Date: Sat Apr 17 14:26:14 Paris, Madrid (heure d'été) 2010 Row: 1 Page: 1

Graphique fichier de résultats : [§4-1-2](#)

2 Simulations signaux sinusoïdaux

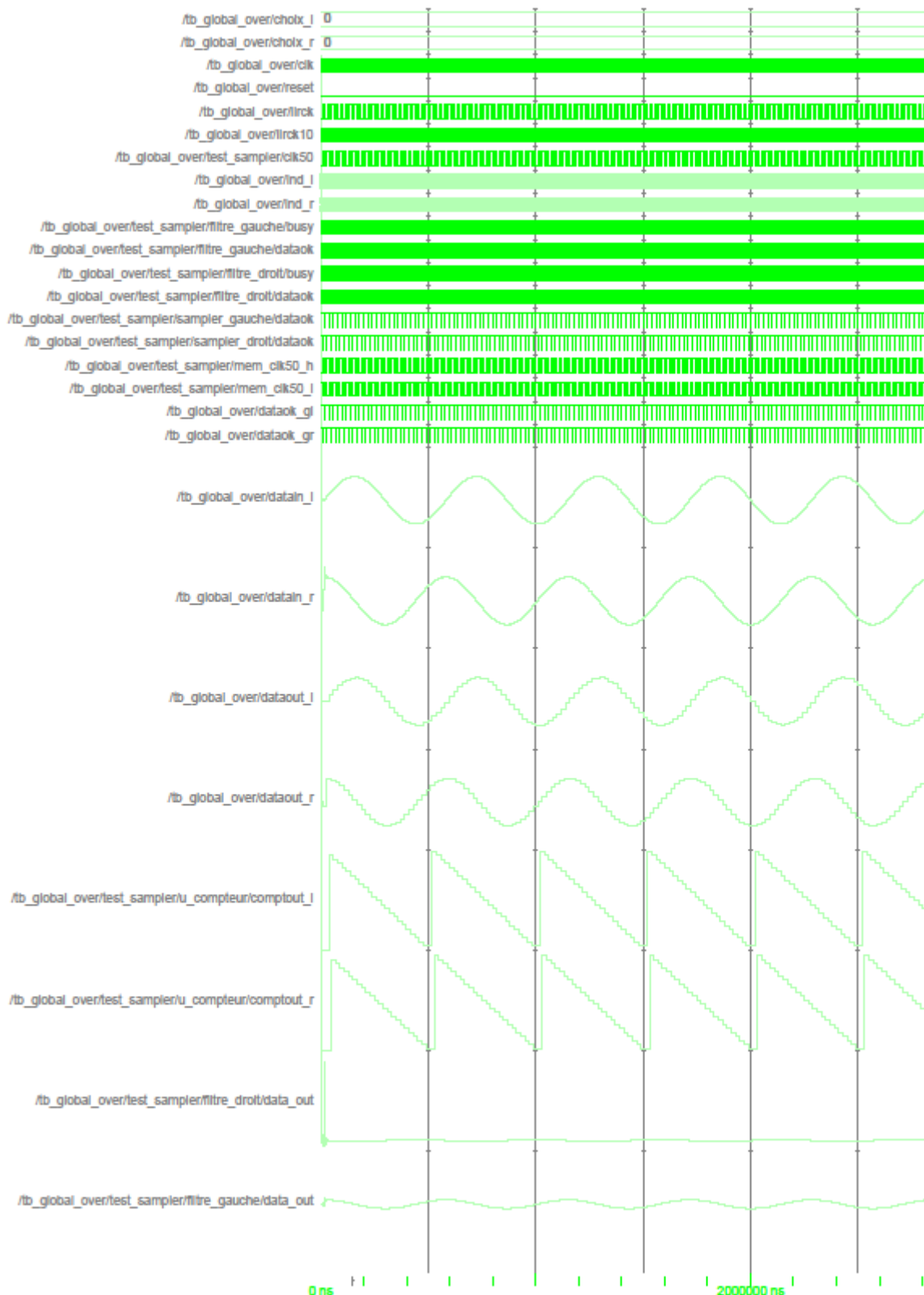
2-1 Signal échantillonné à 480 kHz



Entity:tb\_global Architecture:test Date: Sat Apr 17 10:40:22 Paris, Madrid (heure d'été) 2010 Row: 1 Page: 1

Graphique fichier de résultats : [§4-2-1](#)

2-2 Signal échantillonné à 960 kHz

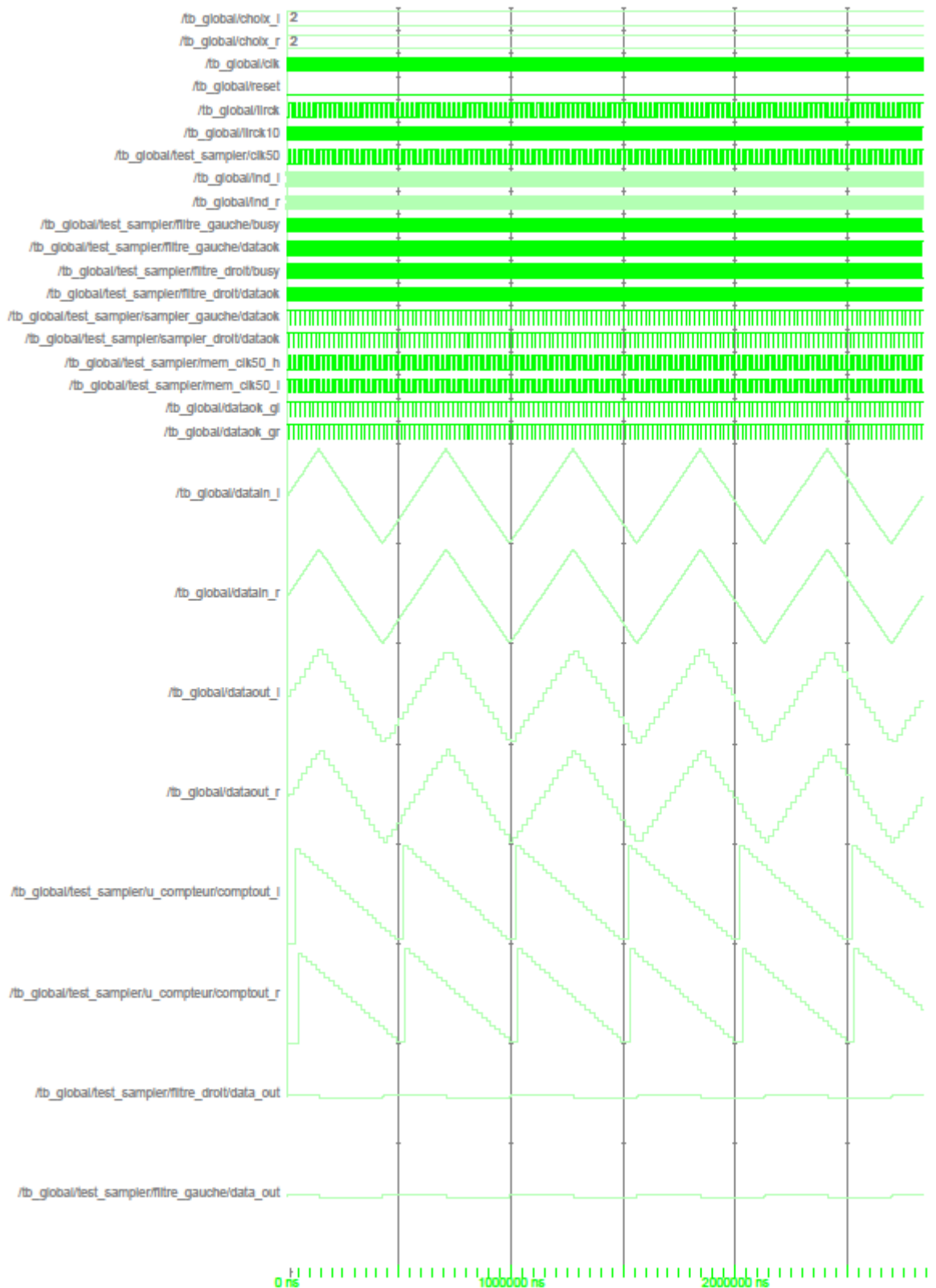


Entity:fb\_global\_over Architecture:test Date: Sat Apr 17 14:22:43 Paris, Madrid (heure d'été) 2010 Row: 1 Page: 1

Graphique fichier de résultats : [§4-2-2](#)

3 Simulations signaux triangulaires

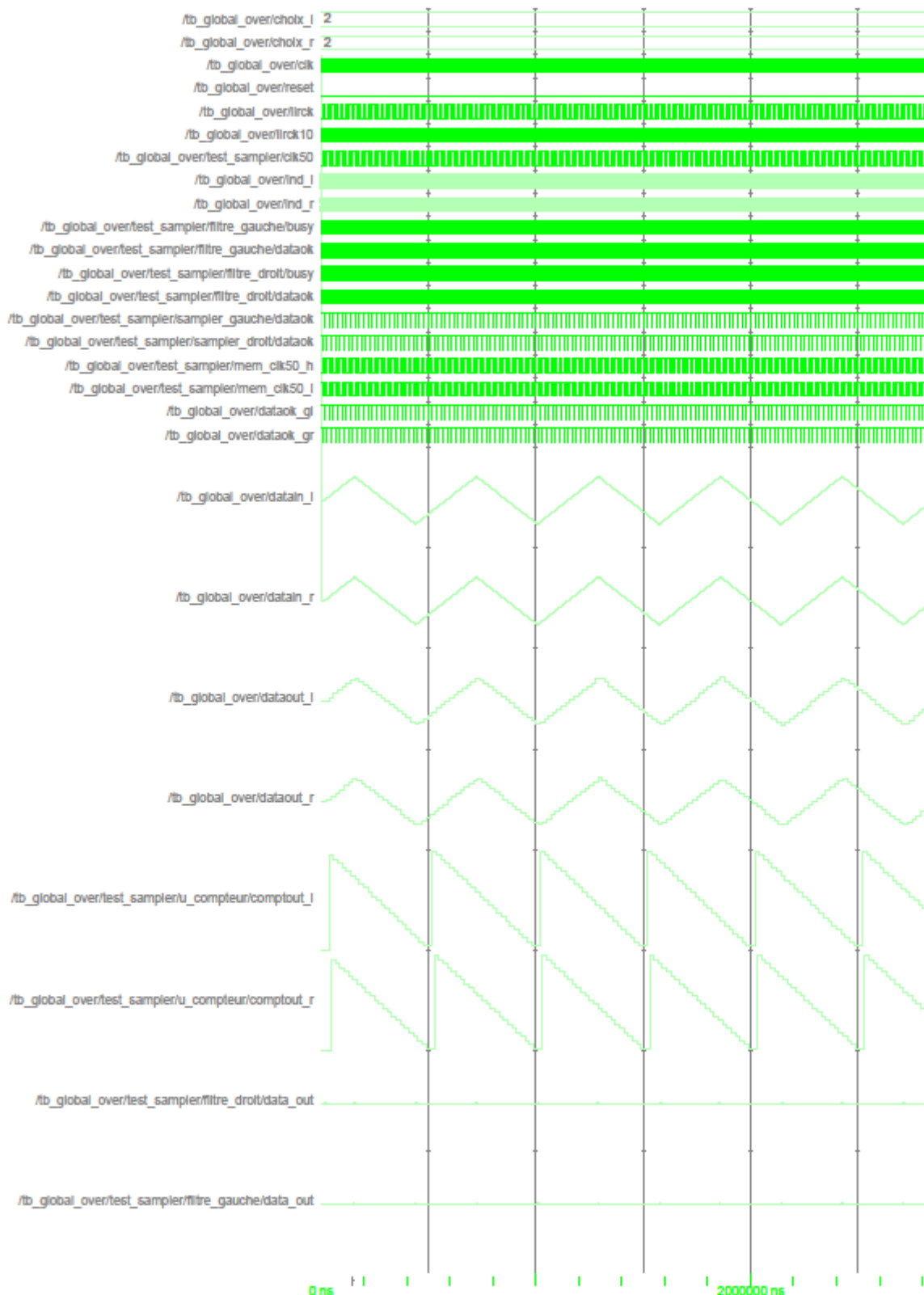
3-1 Signal échantillonné à 480 kHz



Entity:fb\_global Architecture:test Date: Sat Apr 17 10:46:54 Paris, Madrid (heure d'été) 2010 Row: 1 Page: 1

Graphique fichier de résultats : §4-3-1

3-2 Signal échantillonné à 960 kHz

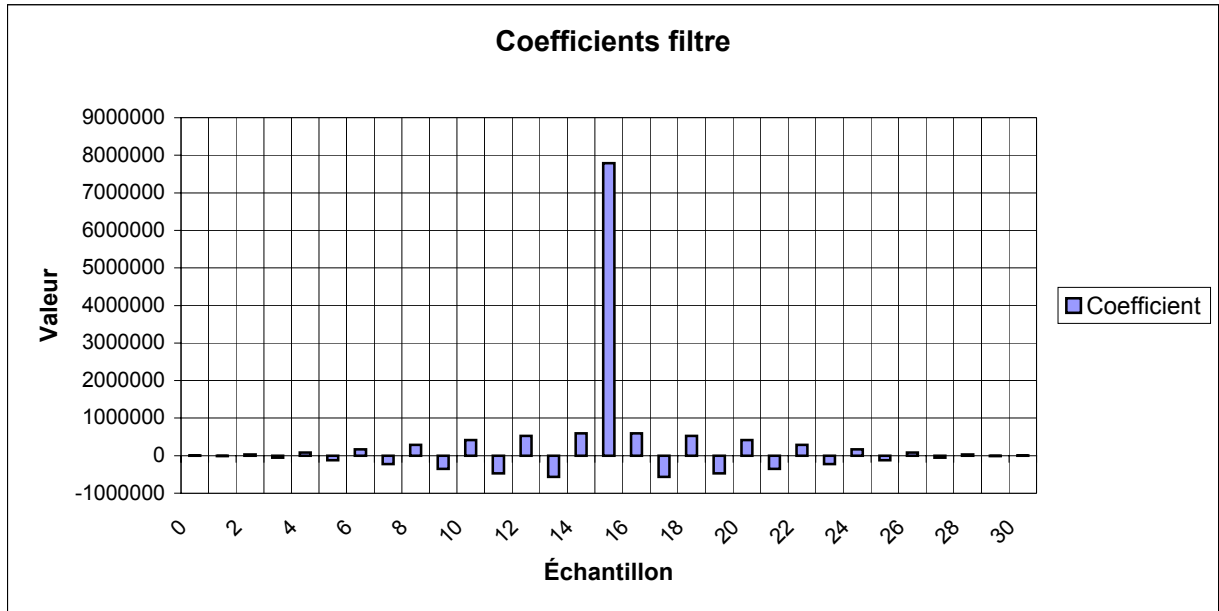


Entity:tb\_global\_over Architecture:test Date: Sat Apr 17 14:28:32 Paris, Madrid (heure d'été) 2010 Row: 1 Page: 1

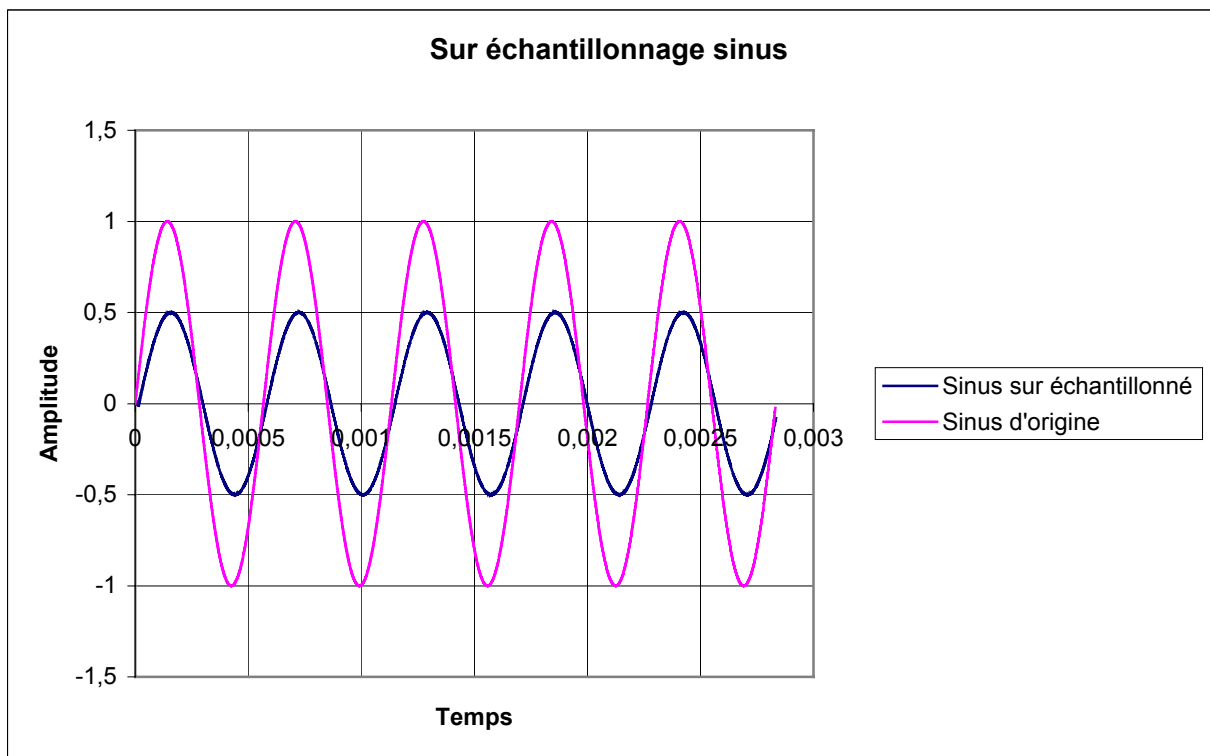
Graphique fichier de résultats : [§4-3-2](#)

**ANNEXE 4 : SUR ECHANTILLONNAGE DES SIGNAUX**

Le programme *filtres\_over.exe* (complément d'informations dans [l'aide de filtres\\_over](#)) sur échantillonne les signaux d'entrée. Dans le cas présent, le coefficient de sur échantillonnage est de 2. Avec ce coefficient, le sur échantillonnage consiste à insérer un 0 entre deux échantillons déjà présents dans le signal puis à filtrer avec un filtre passe bas à réponse impulsionnelle finie dont les coefficients exprimés en nombre entier à virgule fixe sur 24 bits sont :



A titre d'exemple, le sur échantillonnage d'un signal sinusoïdal produit les formes d'ondes suivantes :



N B : pour conserver les amplitudes, le signal après sur échantillonnage devrait être multiplié par 2.