

FILTRES A REPONSE IMPULSIONNELLE FINIE AVEC DECALAGES ARITHMETIQUES

1 Introduction

Lors du projet amplificateur audionumérique mené à l'Institut de Nanotechnologies de Lyon, nous avons vu que les modules de sur échantillonnages et le convertisseur de taux d'échantillonnage asynchrone¹ utilisent les filtres numériques à réponse impulsionnelle finie. L'équation générale de ces filtres est :

$$y_n = \sum_{n=0}^N h_{N-n} * e_n$$

En nous inspirant d'une note d'application de Freescale – Motorola, nous avons implanté un adressage qui évite le déplacement des échantillons aux étapes successives de calcul et l'instruction *Multiply Accumulate*² en un seul cycle.

Dans ce projet, nous utilisons des coefficients et des échantillons exprimés en nombre entiers à virgule fixe sur 24 bits signés pour obtenir un rapport signal sur bruit et une dynamique de codage élevés.

Lors du transfert des descriptions vers le FPGA SPARTAN 3E, l'outil de synthèse Xilinx ISE utilise 4 multiplieurs de 18 bits. Or ce FPGA ne contient que 20 multiplieurs de 18 bits, limitant à 2 filtres par voie le nombre de structures MAC. Une autre forme de l'algorithme de base permet de continuer l'implantation de filtres sans utiliser la multiplication (voir §2 : Principe de fonctionnement).

2 Principe de fonctionnement

Dans notre configuration, les coefficients sont des nombres entiers signés à virgule fixe sur 24 bits cadrés à gauche. Dans nos hypothèse de fonctionnement, ces valeurs codent des nombres réels compris entre $1-2^{-23}$ et -1 . Dans ce cas, les valeurs codant les puissances négatives de 2 n'utilisent qu'un seul bit à 1, les autres bits étant à 0³. Or, un ou plusieurs décalage à droite effectue la multiplication par une puissance négative de 2. Multiplier par 0,5 revient décaler l'échantillon du signal une fois à droite. Les multiplications deviennent alors des opérations strictement logiques. Toutefois, à la différence du décalage logique, le décalage arithmétique conserve le signe :

1) Décalage logique à droite

d23	d22	d21	d20	d19	d18	d17	d16	d15	d14	d13	d12	d11	d10	d9	d8	d7	d6	d5	d4	d3	d2	d1	d0
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Le bit de signe (23) est perdu : $800000h / 2 = 4000000h^4$. Les valeurs sont des valeurs binaires non signées

2) Décalage arithmétique à droite

d23	d22	d21	d20	d19	d18	d17	d16	d15	d14	d13	d12	d11	d10	d9	d8	d7	d6	d5	d4	d3	d2	d1	d0
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Le signe bit de poids fort (23) est conservé : $800000h / 2 = c00000h$. Les valeurs sont des valeurs binaires signées.

¹ Asynchronous Sample Rate Converter (ASRC)

² Cette instruction des processeurs numériques de signaux effectue l'opération $a=a+bc$ utilisée dans les algorithmes de filtres numériques.

³ 0,5 et -0,5 correspondent respectivement à 400000h et C00000h

⁴ Les valeurs négatives deviennent positives car le bit de signe originellement à 1 se transforme en 0

Les outils de conception des filtres numériques à réponse impulsionnelle finie calculent les coefficients de filtrage en nombre réel et stockent les résultats dans des tables. Le programme *analyse_coeff.exe* détermine si un ou plusieurs décalage à droite peut remplacer chaque coefficient⁵. Dans ce cas, le programme calcule le nombre de décalages nécessaire (compris entre 0 et 23 pour un nombre entier sur 24 bits) et définit deux indicateurs stockés dans un nombre de 32 bits :

- Le bit 0 ou flag Z indique si le coefficient est nul (Z=0) ou différent de 0 (Z=1). En effet, si le coefficient du filtre est nul, le nombre de décalage est nul ;
- Le bit 1 ou flag N indique si le coefficient est positif (N=0) ou négatif (N=1). Dans ce dernier cas, le nombre est inversé après le décalage à droite.

Le programme crée, en outre, des fichiers utilisables dans les descriptions VHDL et pour des simulations sur le processeur de signal DSP56000 avec *sim56000.exe*.

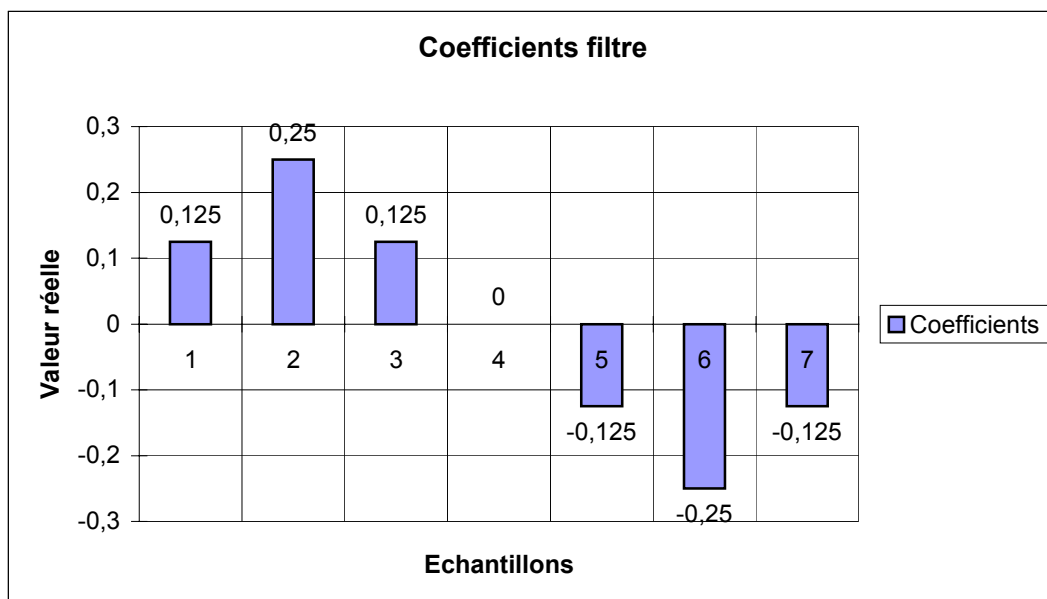
Si un coefficient de la table ne permet pas de décalage, alors les filtres à décalage ne peuvent pas être utilisés.

A titre d'exemple, la table de coefficients suivants autorise les décalages :

0,125
0,25
0,125
0
-0,125
-0,25
-0,125

Le programme d'analyse crée une table qui regroupe les opérations de décalage et les indicateurs pour la description des filtres à décalage (filtre dérivateur) :

Coefficients	Valeurs entières	Décalages	Indicateurs	
0,125	1048576	3	1	La colonne <i>Décalages</i> indique le nombre de décalage arithmétiques à effectuer. Les indicateurs renseignent à la fois sur le signe (exemple 3 : les coefficients sont négatifs et non nuls) et sur la valeur du coefficient (0 : coefficient nul / 1 : coefficient différent de 0)
0,25	2097152	2	1	
0,125	1048576	3	1	
0	0	0	0	
-0,125	-1048576	3	3	
-0,25	-2097152	2	3	
-0,125	-1048576	3	3	
-0,125	-1048576	3	3	

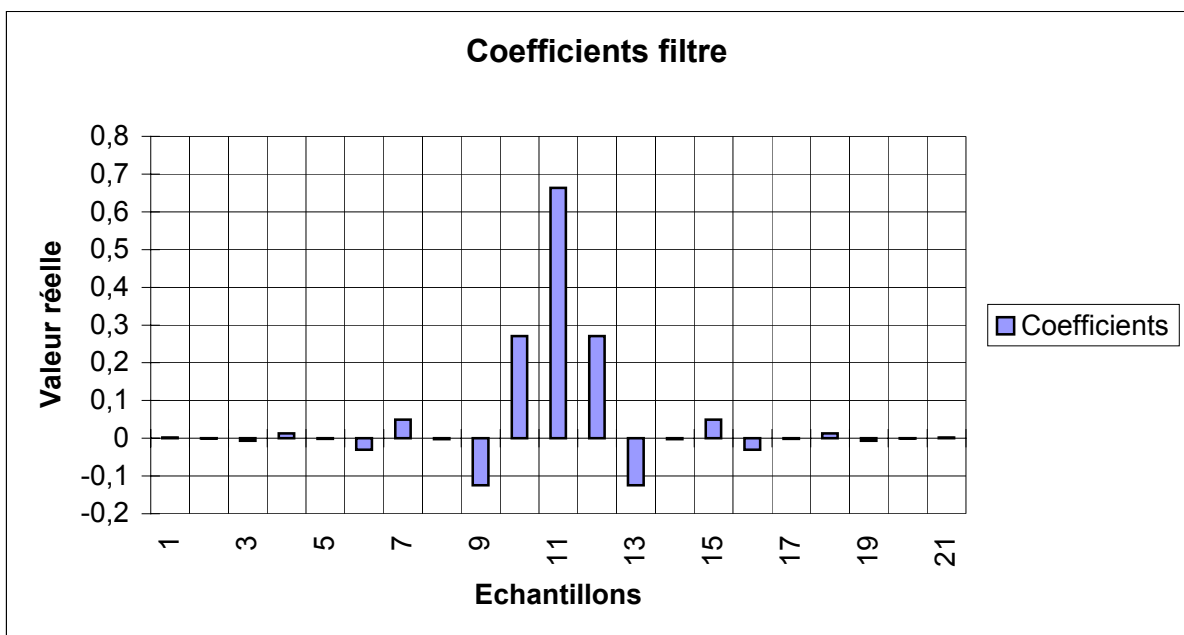


⁵ Dans notre cas, les coefficients sont stockés dans un fichier CSV (Comma Separated Value File) lisibles dans Microsoft® Excel®.

A contrario, les coefficients suivants ne permettent pas l'utilisation des fonctions de décalage :

Coefficients	Valeurs entières	Décalages	Indicateurs
0,001698	14243	0	0
-0,000613	-5139	0	0
-0,006308	-52913	0	0
0,012549	105271	0	0
-0,001552	-13021	0	0
-0,030103	-252522	0	0
0,049141	412223	0	0
-0,002438	-20454	0	0
-0,124903	-1047764	0	0
0,271089	2274061	0	0
0,663848	5568763	0	0
0,271089	2274061	0	0
-0,124903	-1047764	0	0
-0,002438	-20454	0	0
0,049141	412223	0	0
-0,030103	-252522	0	0
-0,001552	-13021	0	0
0,012549	105271	0	0
-0,006308	-52913	0	0
-0,000613	-5139	0	0
0,001698	14243	0	0

Dans ce cas, les nombres de décalage et les indicateurs sont arbitrairement fixés à 0.



Dans la description VHDL des filtres à décalage arithmétiques, la fonction *asr* de décalage arithmétique à droite remplace la fonction *mac*. Les machines à états finies demeurent identiques.

3 Résultats de simulations

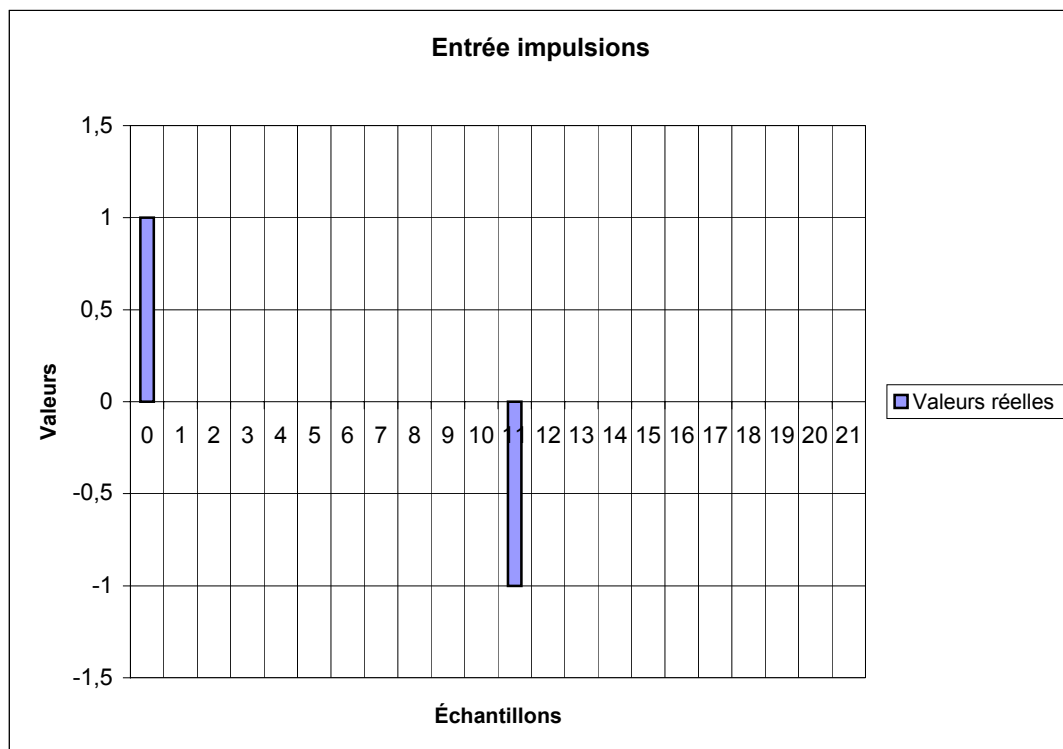
Ce test concerne 3 filtres dont les tables suivent :

Filtre dérivateur sans décalage (§3-2)				Filtre dérivateur avec décalage (§3-3)				Filtre passe bas (§3-4)										
Coefficients		Décalages		Indicateurs		Coefficients		Décalages		Indicateurs		Coefficients		Décalages		Indicateurs		
1	0	0	1	0,125	3	1	0,25	2	1	0,25	2	1	0,5	1	1	0,25	2	1
0	0	0	0	0,125	3	1	0	0	0	0,25	2	1	0,25	2	1			
-1	0	3		-0,125	3	3	-0,125	3	3									
				-0,25	2	3												
				-0,125	3	3												

Ce filtre ne décale aucune valeur. Par contre, le 3 ^e coefficient inverse le signe avant l'addition.	Lors du calcul avec le 4 ^e coefficient, seuls les index seront incrémentés.	Ce filtre passe bas est un cas particulier. Les coefficients sont pondérés par une fenêtre triangulaire.
Entrée impulsions : §3-1-1 Entrée échelons : §3-1-2-1 Entrée sinus : §3-1-3	Entrée impulsions : §3-1-1 Entrée échelons : §3-1-2-2	Entrée impulsions : §3-1-1 Entrée échelons : §3-1-2-1
Simulation VHDL : impulsion Simulation VHDL : échelon Simulation VHDL : sinus Représentation théorique : §5-2-2-4	Simulation VHDL : impulsion Simulation VHDL : échelon	Simulation VHDL : impulsion Simulation VHDL : échelon

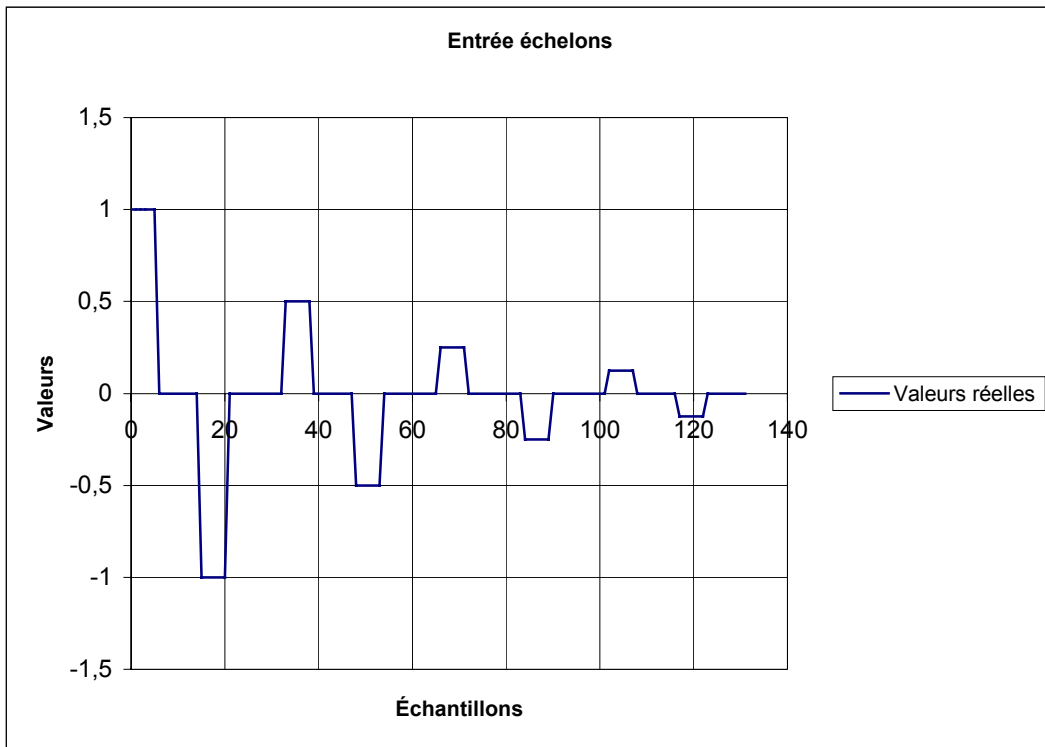
3-1 Signaux de test

3-1-1 Tests impulsionnels

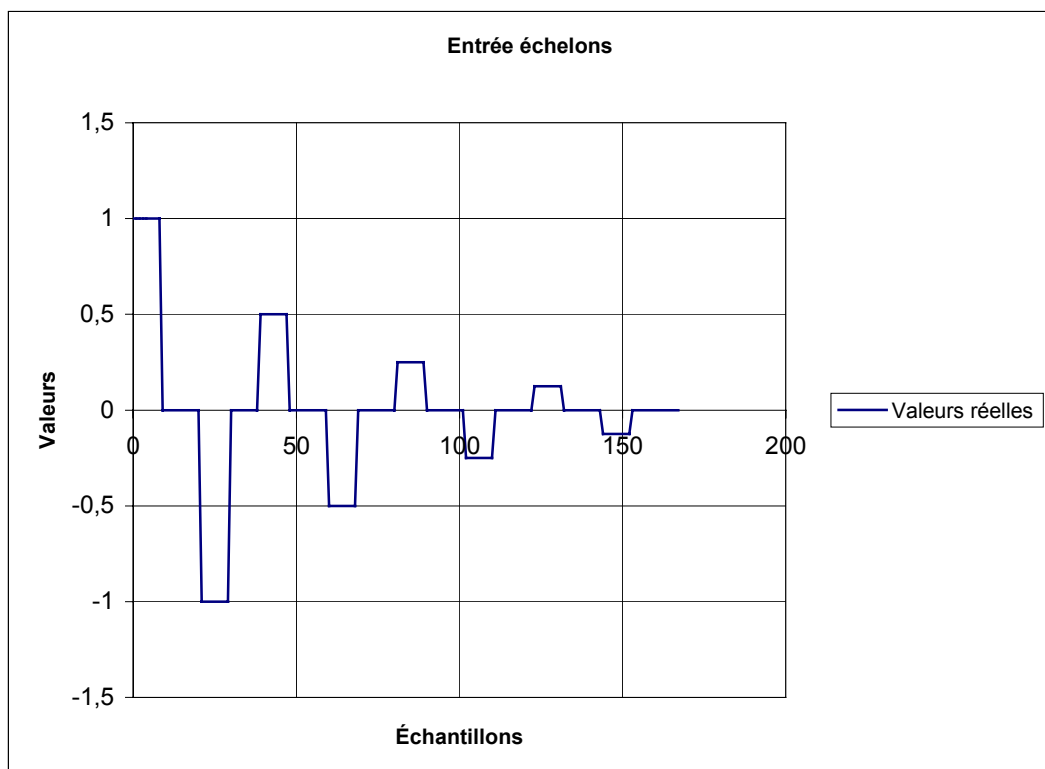


3-1-2 Tests échelons

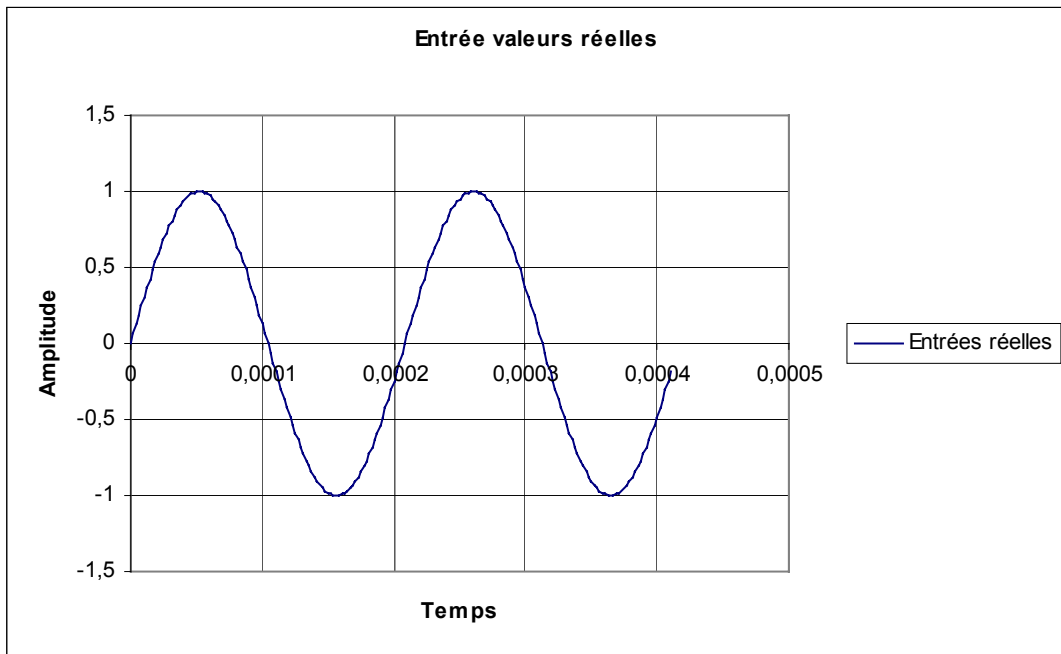
3-1-2-1 Filtres passe bas et dérivateur sans décalage



3-1-2-2 Filtre dérivateur avec décalage



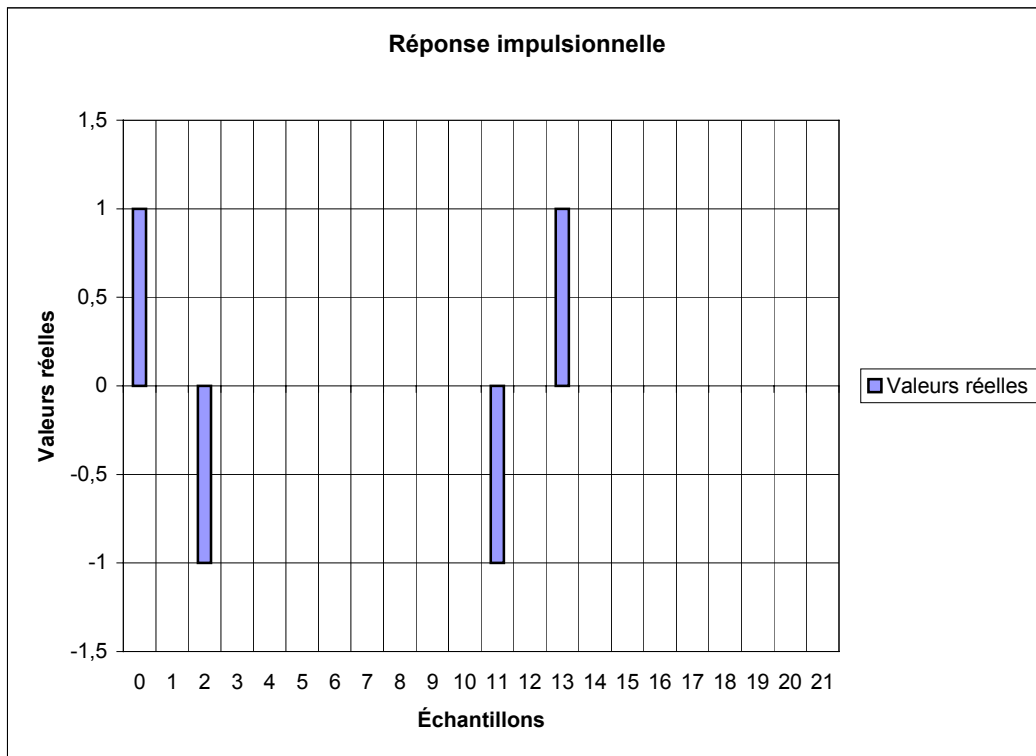
3-1-3 Test sinus pour filtre dérivateur à décalage



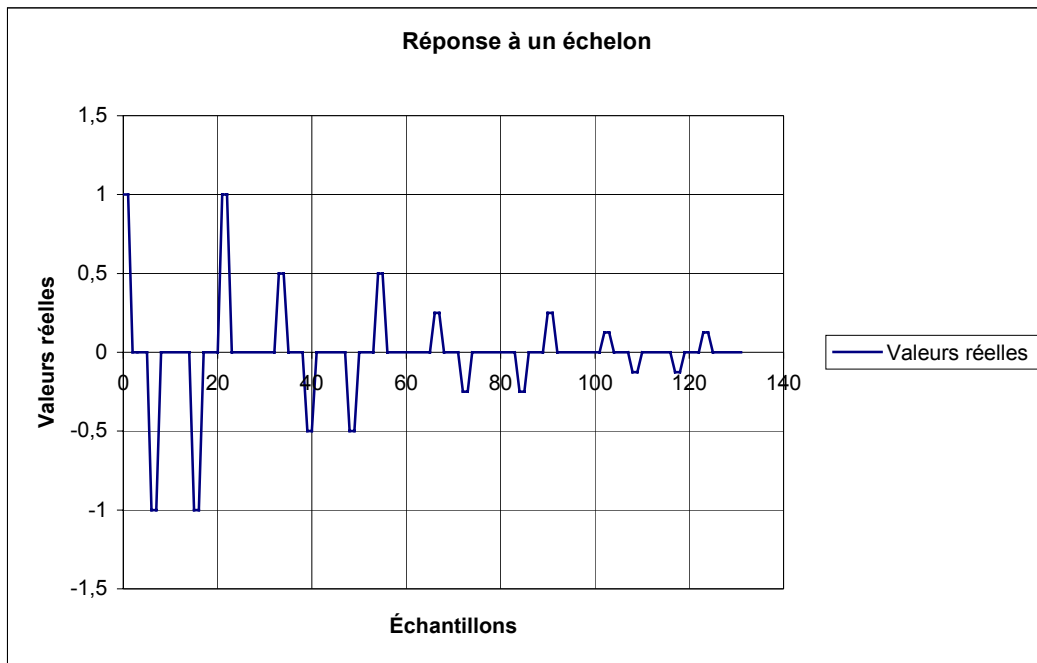
3-2 Dérivateur sans décalage

3-2-1 Simulation avec processeur de signal DSP56000

3-2-1-1 Réponse impulsionnelle

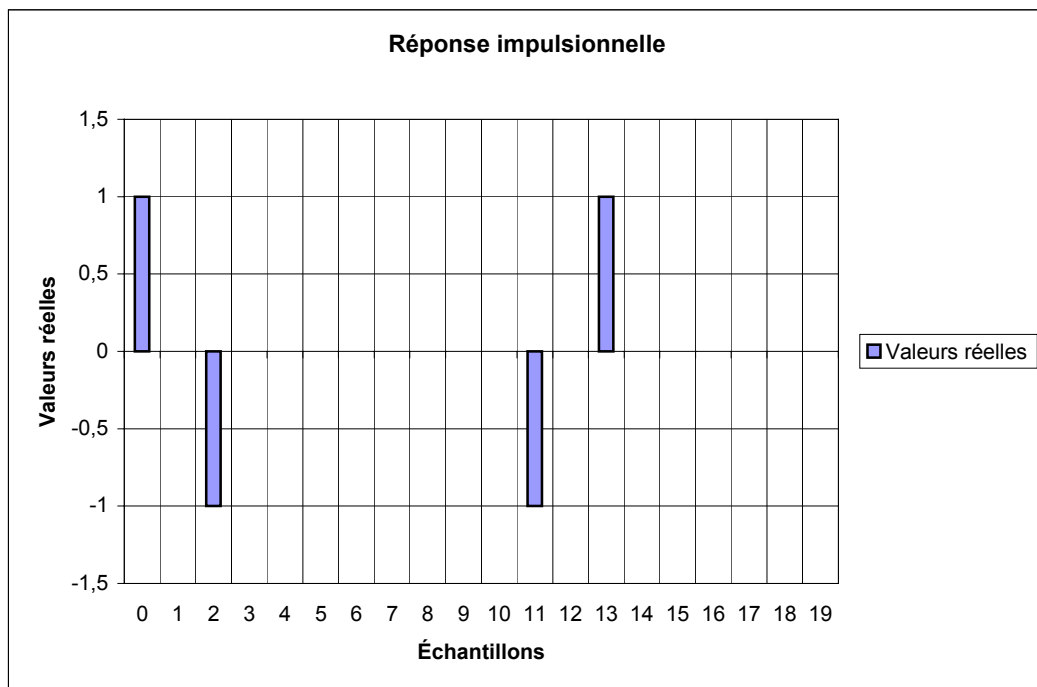


3-2-1-2 Réponse à un échelon

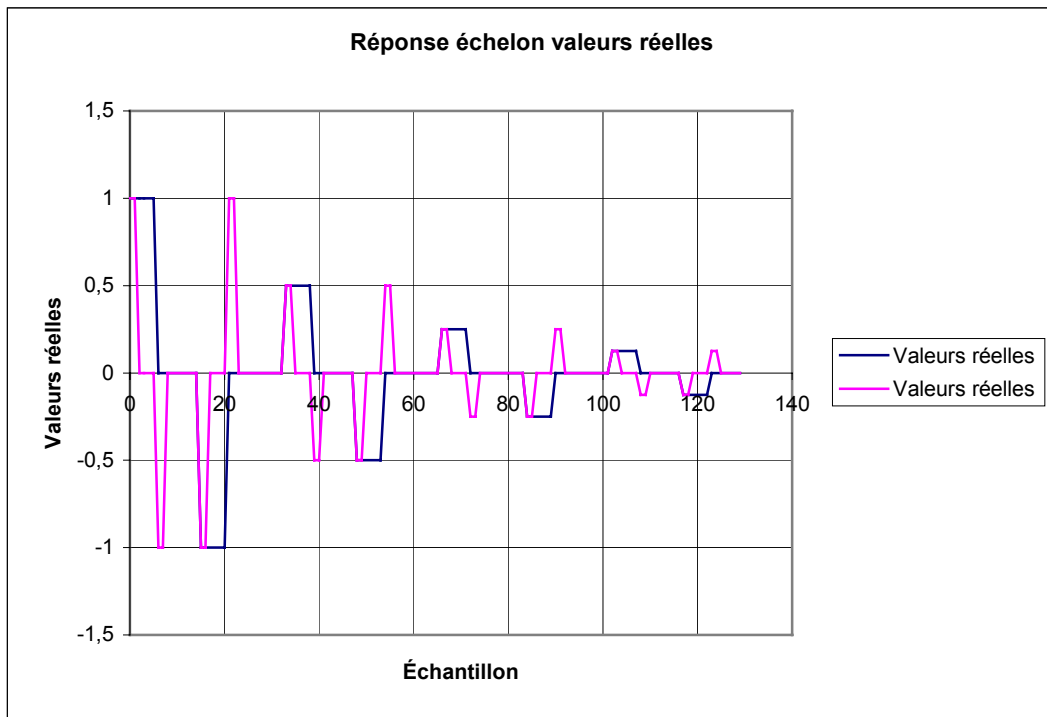


3-2-2 Simulation description VHDL

3-2-2-1 Réponse impulsionnelle



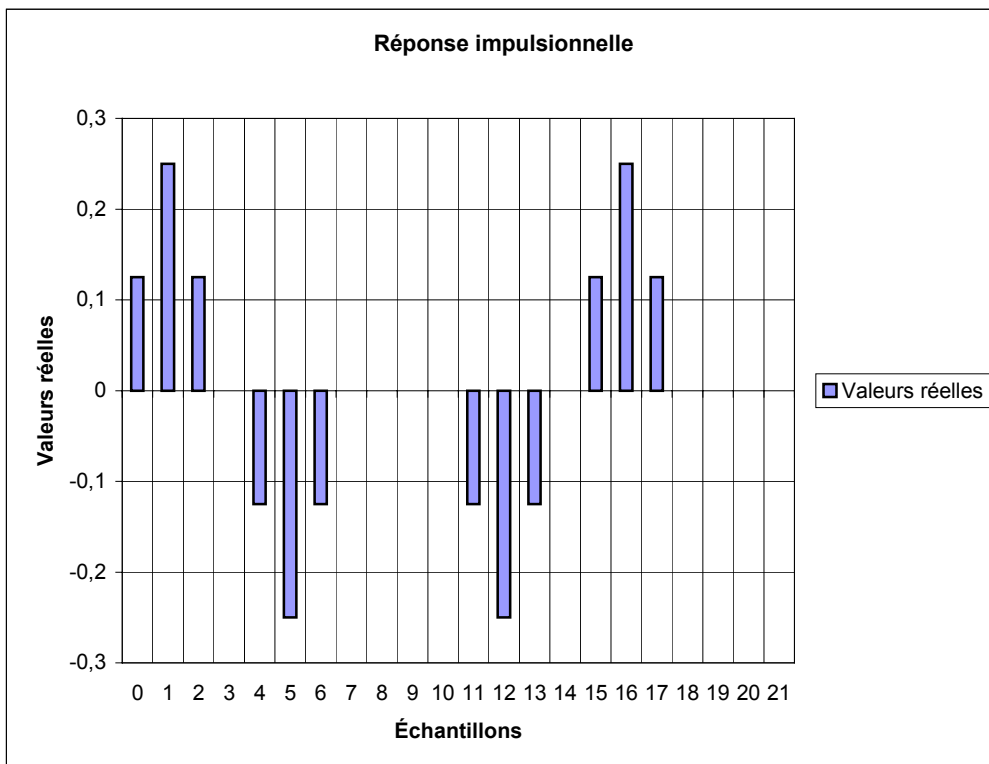
3-2-1-3 Réponse à un échelon



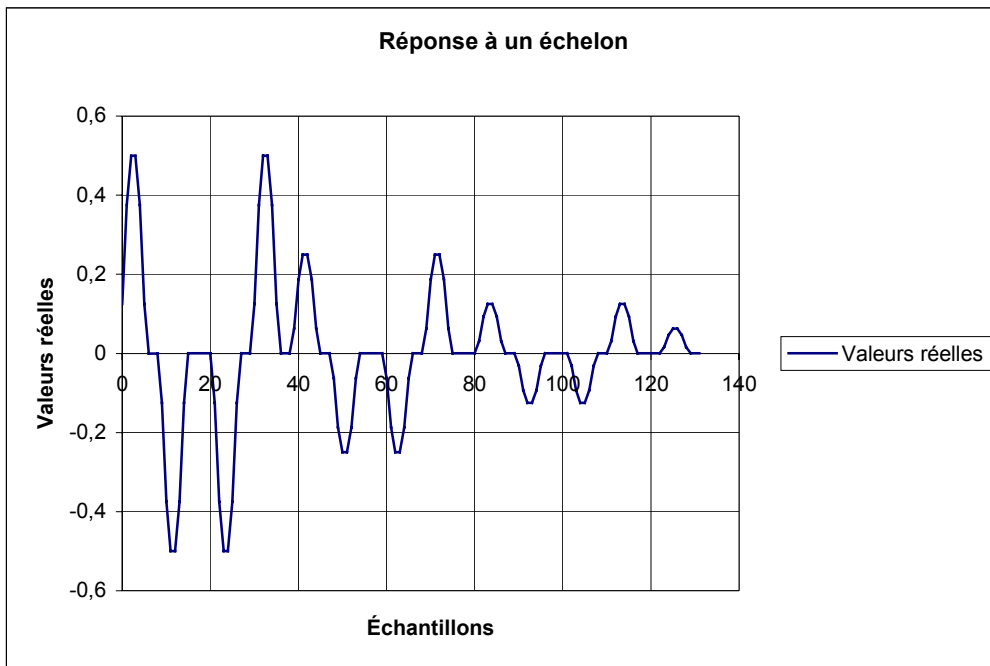
3-3 Dérivateur avec décalage

3-3-1 Simulation avec processeur de signal DSP56000

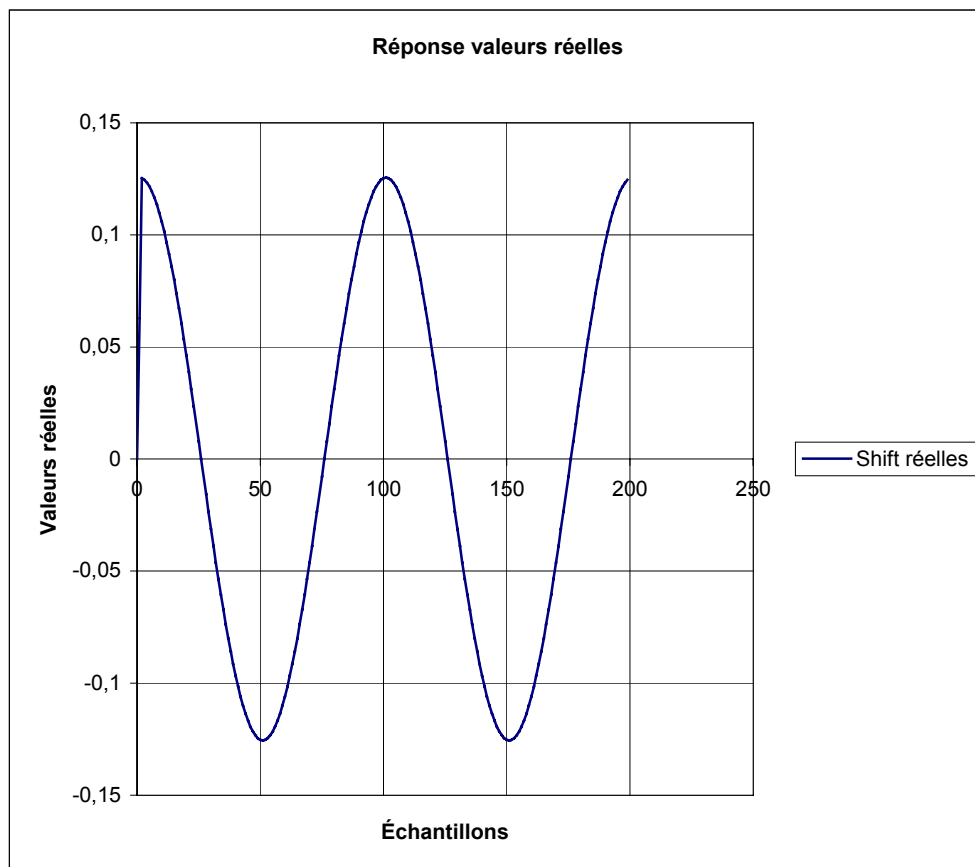
3-3-1-1 Réponse impulsionnelle



3-3-1-2 Réponse à un échelon

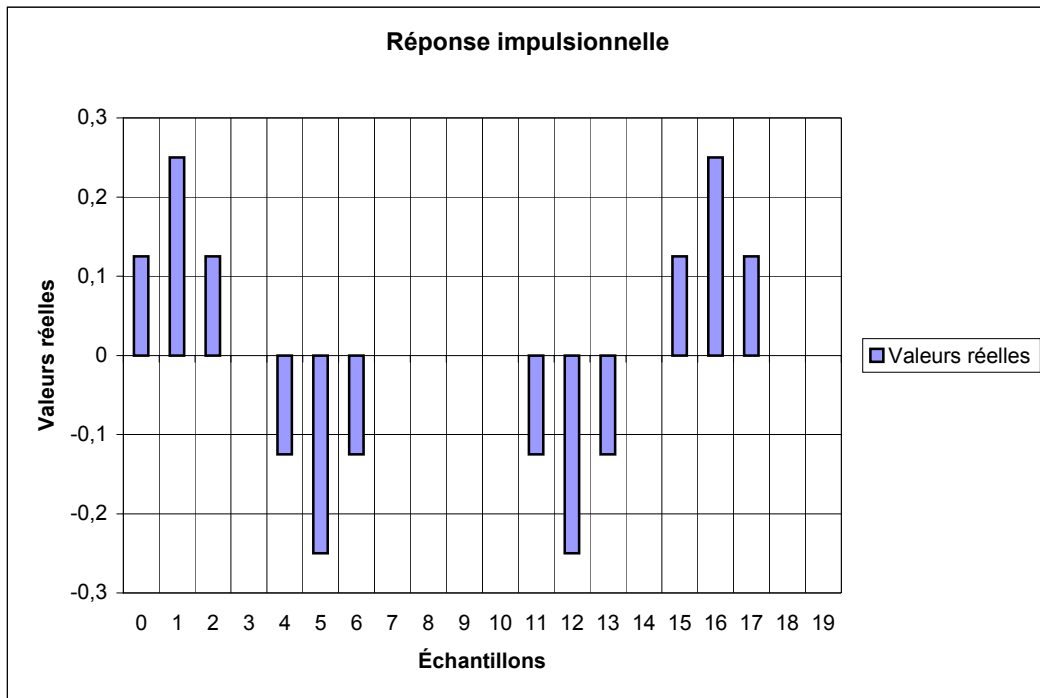


3-3-1-3 Réponse à un sinus

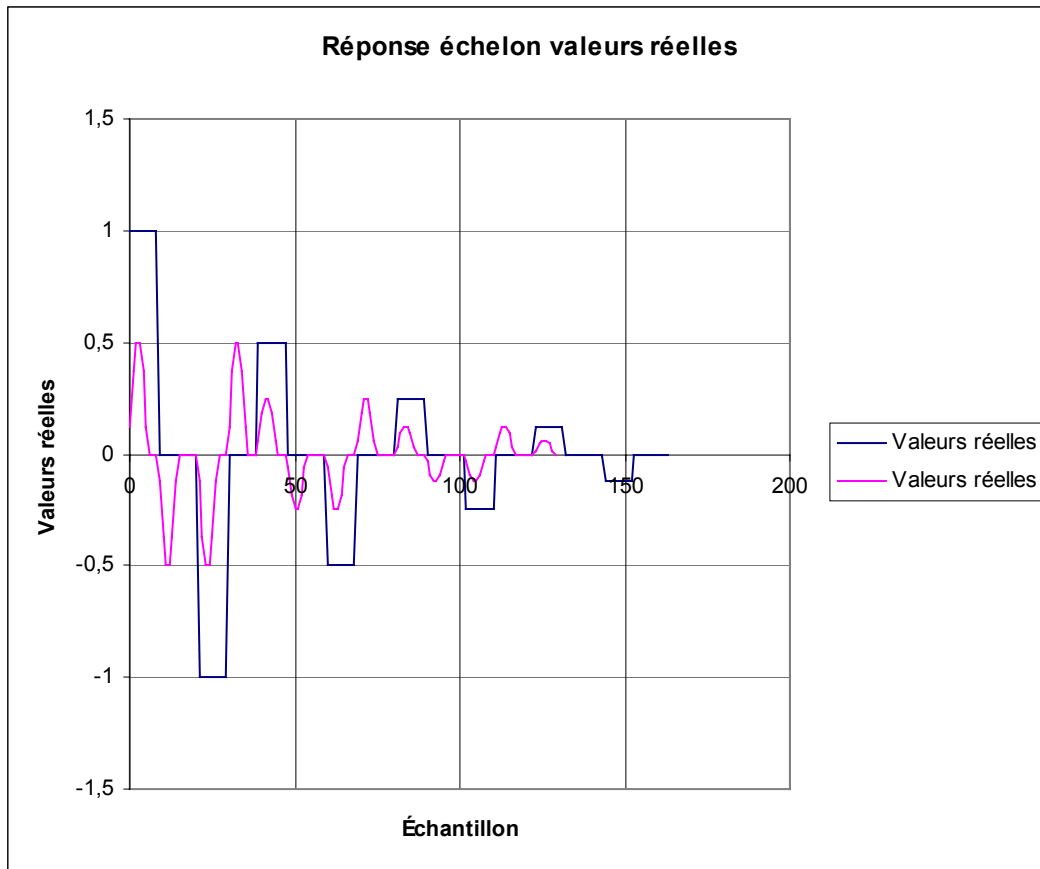


3-3-2 Simulation description VHDL

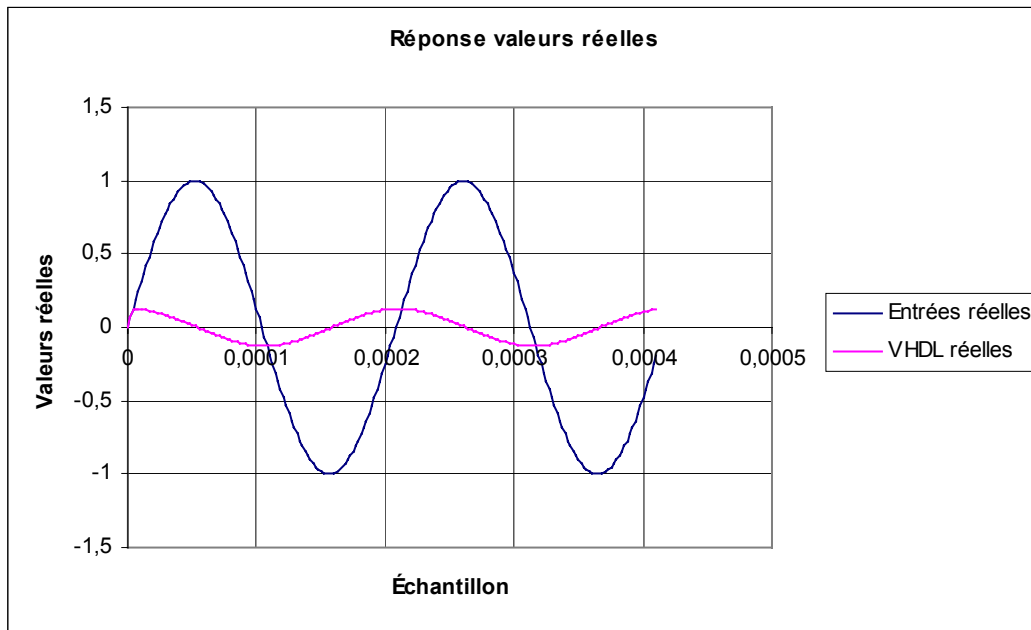
3-3-2-1 Réponse impulsionnelle



3-3-2-2 Réponse à un échelon



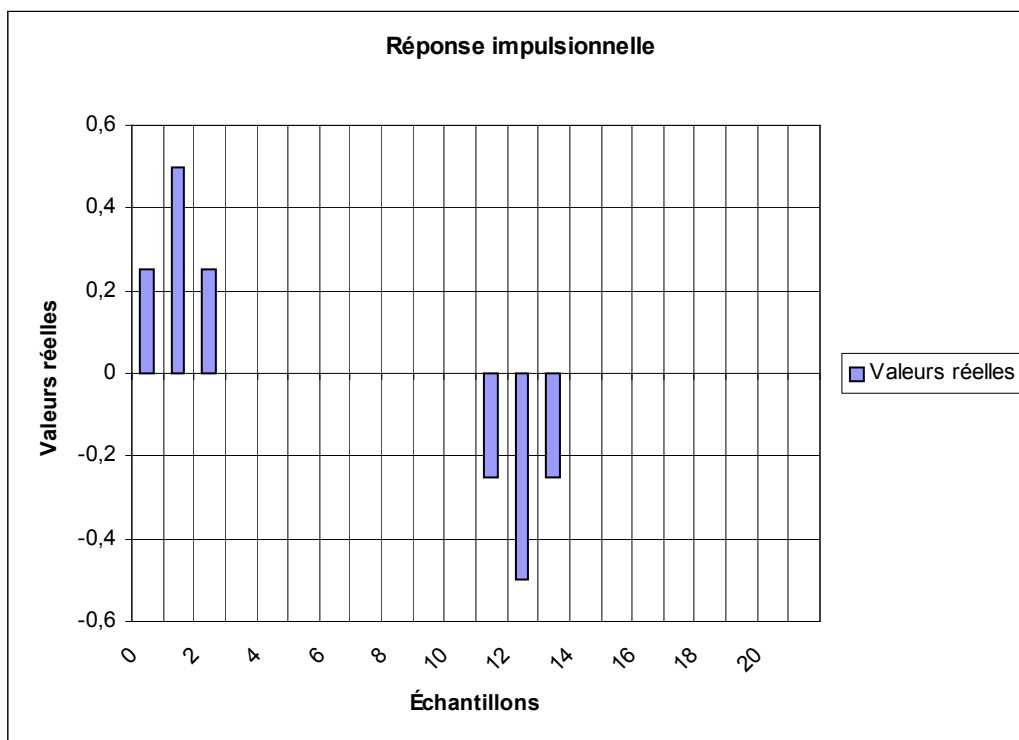
3-3-2-3 Réponse à un sinus



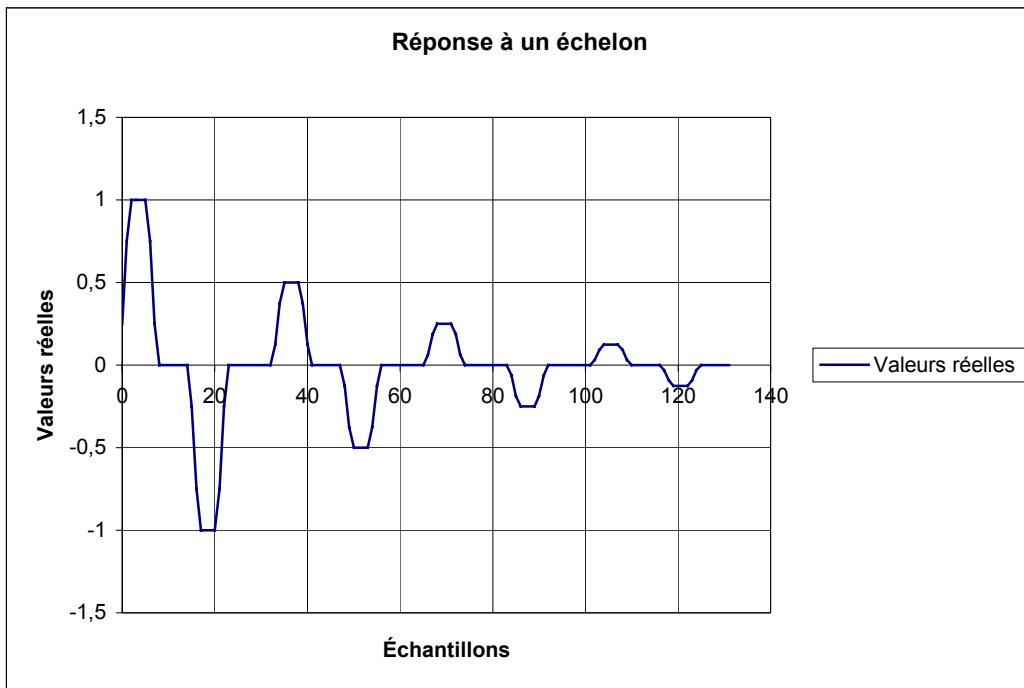
3-4 Passé bas à 3 coefficients

3-4-1 Simulation avec processeur de signal DSP56000

3-4-1-1 Réponse impulsionnelle

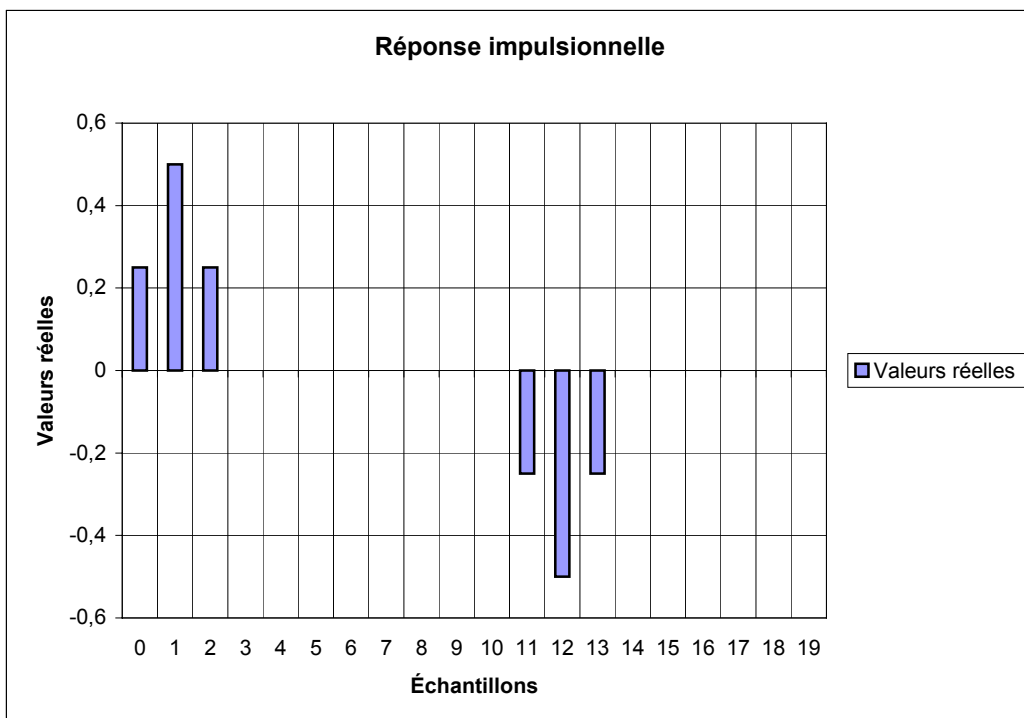


3-4-1-2 Réponse à un échelon

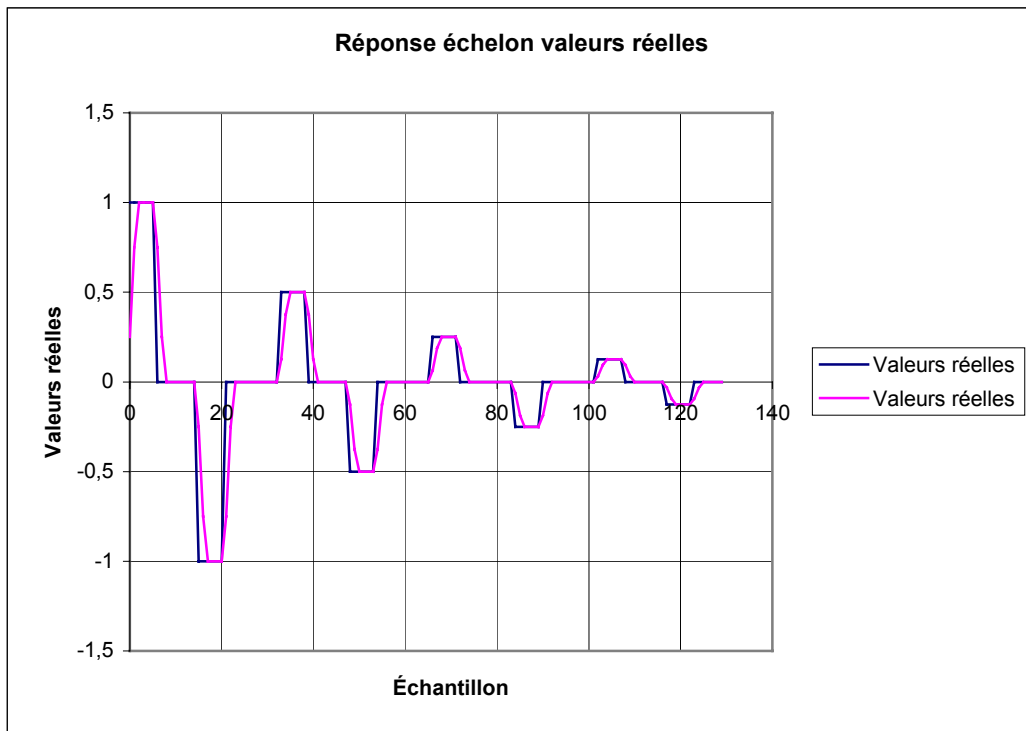


3-4-2 Simulation description VHDL

3-4-2-1 Réponse impulsionnelle



3-4-2-2 Réponse à un échelon



4 Conclusion

- Pour chaque filtre, les valeurs sont identiques pour les algorithmes à instruction MAC et à décalages.
- Sous réserve de vérification avec un outil de synthèse et de simulations pendant les phases de synthèse, nous constatons une économie des ressources du FPGA.
- Une limitation – actuelle – importante concerne le choix des coefficients : ceux ci doivent être des nombres entiers à virgule fixe puissance de 2.
- Le codage de l'algorithme à décalage sur le processeur de signal Motorola® Freescale® DSP56xxx utilise plus d'instructions.
- Une extension future de l'algorithme est l'approche des valeurs des coefficients – avec une erreur acceptable – par décalages arithmétiques successifs à droite et à gauche.

5 Annexes

5-1 Exemples fonctionnement programme analyse coeff

Cette partie présente les deux principales réponses possibles du programme d'analyse des coefficients lorsque les filtrages par décalages sont respectivement possibles (§5-1-1) et impossibles (§5-1-2).

5-1-1 Filtrage avec décalages possibles

Ce test concerne les coefficients du filtre dérivateur avec décalages (§3)

...

Valeur maximale virgule fixe = [1.000000]

Nombre de bits en virgule fixe du filtre : [24] :

Valeur du diviseur =[8388608]

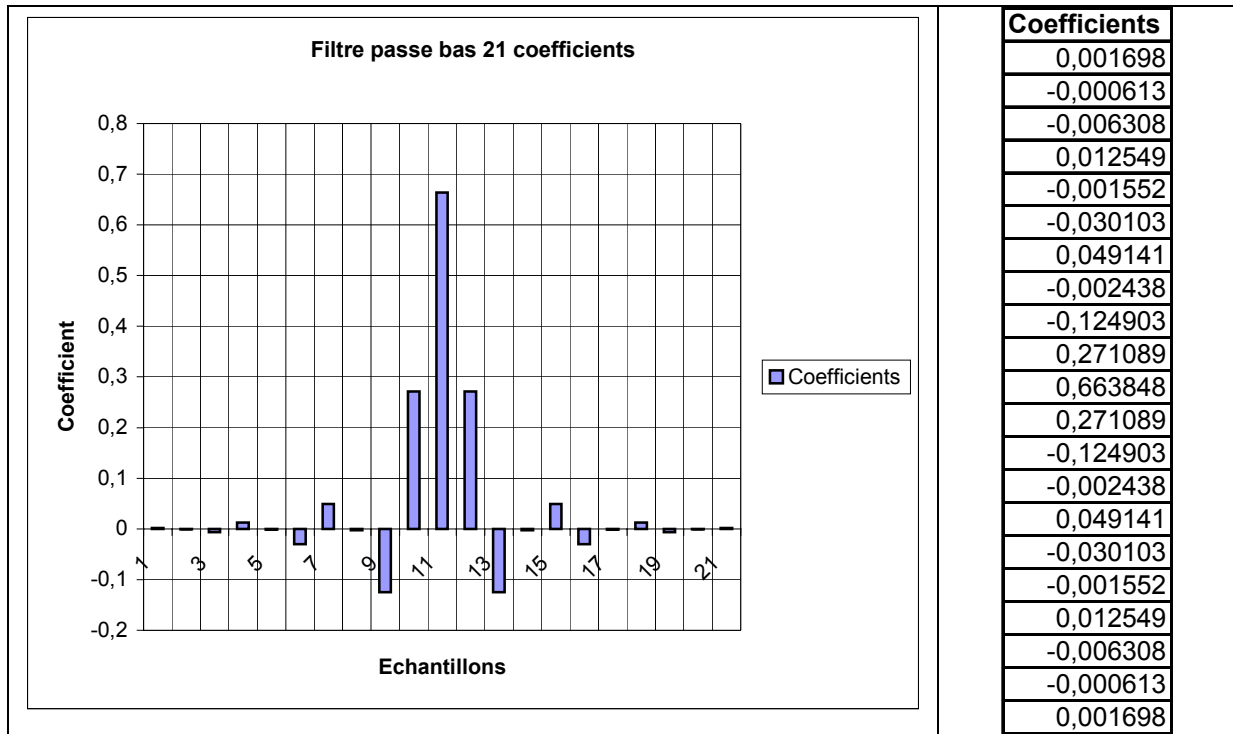
Nombre de bits en virgule fixe du signal : [24] :

[0.125] => [0.1250000000]	[1048576]	3 décalages arithmétiques Flag : [1]
[0.25] => [0.2500000000]	[2097152]	2 décalages arithmétiques Flag : [1]
[0.125] => [0.1250000000]	[1048576]	3 décalages arithmétiques Flag : [1]
[0] => [0.0000000000]	[0]	0 décalages arithmétiques Flag : [0]
[-0.125] => [-0.1250000000]	[-1048576]	3 décalages arithmétiques Flag : [3]
[-0.25] => [-0.2500000000]	[-2097152]	2 décalages arithmétiques Flag : [3]
[-0.125] => [-0.1250000000]	[-1048576]	3 décalages arithmétiques Flag : [3]

...

5-1-2 Filtrage avec décalages impossibles

Ce test concerne le filtre représenté sur le graphique :

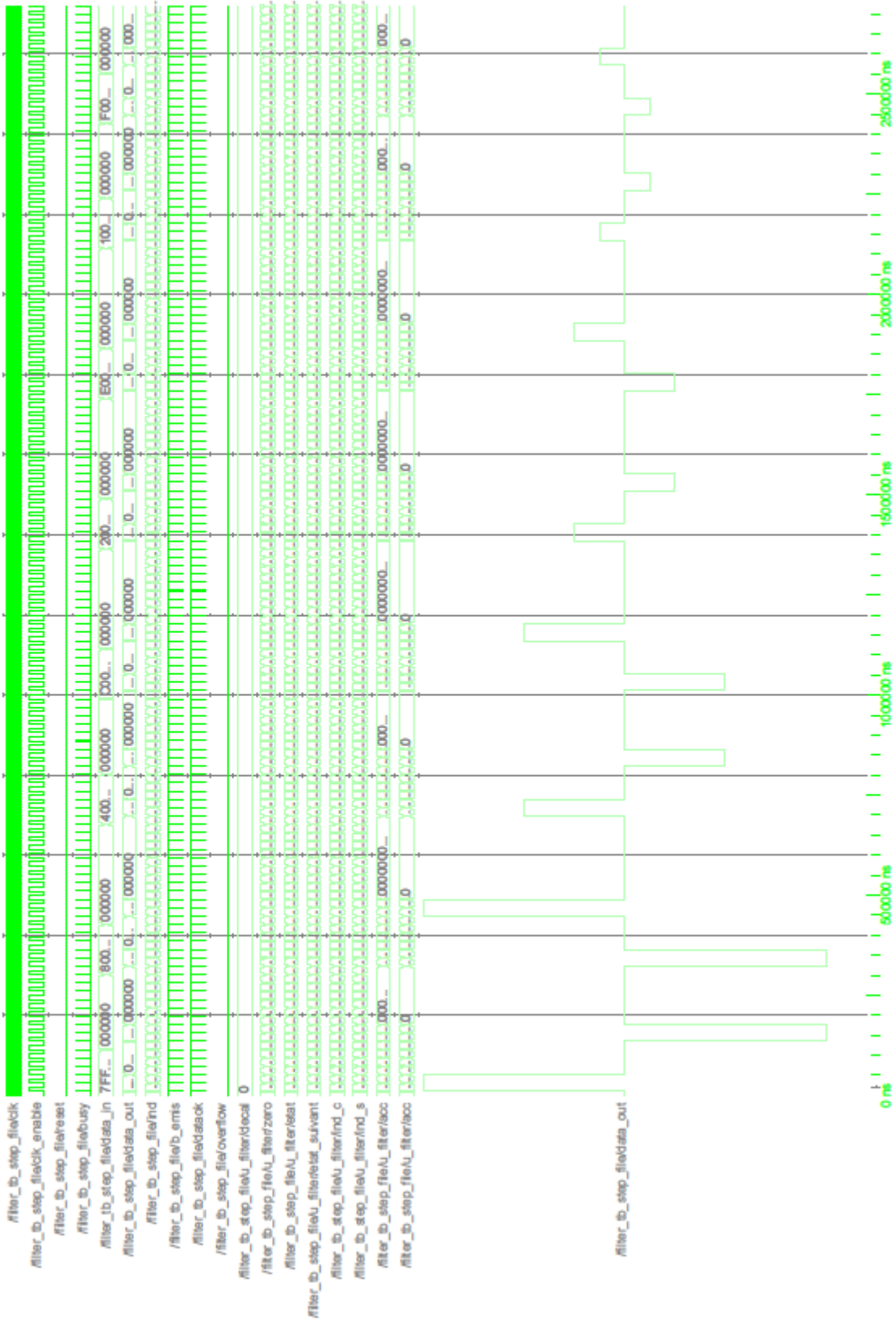


...
 Valeur maximale virgule fixe = [1.000000]
 Nombre de bits en virgule fixe du filtre : [24] :
 Valeur du diviseur =[8388608]
 Nombre de bits en virgule fixe du signal : [24] :

[1.697898e-003] => [0.0016978980]	[14243]	0 décalages arithmétiques Flag : [0]
[-6.126165e-004] => [-0.0006126165]	[-5139]	0 décalages arithmétiques Flag : [0]
[-6.307721e-003] => [-0.0063077210]	[-52913]	0 décalages arithmétiques Flag : [0]
[1.254940e-002] => [0.0125494000]	[105271]	0 décalages arithmétiques Flag : [0]
[-1.552105e-003] => [-0.0015521050]	[-13021]	0 décalages arithmétiques Flag : [0]
[-3.010285e-002] => [-0.0301028500]	[-252522]	0 décalages arithmétiques Flag : [0]
[4.914093e-002] => [0.0491409300]	[412223]	0 décalages arithmétiques Flag : [0]
[-2.438188e-003] => [-0.0024381880]	[-20454]	0 décalages arithmétiques Flag : [0]
[-1.249032e-001] => [-0.1249032000]	[-1047764]	0 décalages arithmétiques Flag : [0]
[2.710893e-001] => [0.2710893000]	[2274061]	0 décalages arithmétiques Flag : [0]
[6.638484e-001] => [0.6638484000]	[5568763]	0 décalages arithmétiques Flag : [0]
[2.710893e-001] => [0.2710893000]	[2274061]	0 décalages arithmétiques Flag : [0]
[-1.249032e-001] => [-0.1249032000]	[-1047764]	0 décalages arithmétiques Flag : [0]
[-2.438188e-003] => [-0.0024381880]	[-20454]	0 décalages arithmétiques Flag : [0]
[4.914093e-002] => [0.0491409300]	[412223]	0 décalages arithmétiques Flag : [0]
[-3.010285e-002] => [-0.0301028500]	[-252522]	0 décalages arithmétiques Flag : [0]
[-1.552105e-003] => [-0.0015521050]	[-13021]	0 décalages arithmétiques Flag : [0]
[1.254940e-002] => [0.0125494000]	[105271]	0 décalages arithmétiques Flag : [0]
[-6.307721e-003] => [-0.0063077210]	[-52913]	0 décalages arithmétiques Flag : [0]
[-6.126165e-004] => [-0.0006126165]	[-5139]	0 décalages arithmétiques Flag : [0]
[1.697898e-003] => [0.0016978980]	[14243]	0 décalages arithmétiques Flag : [0]

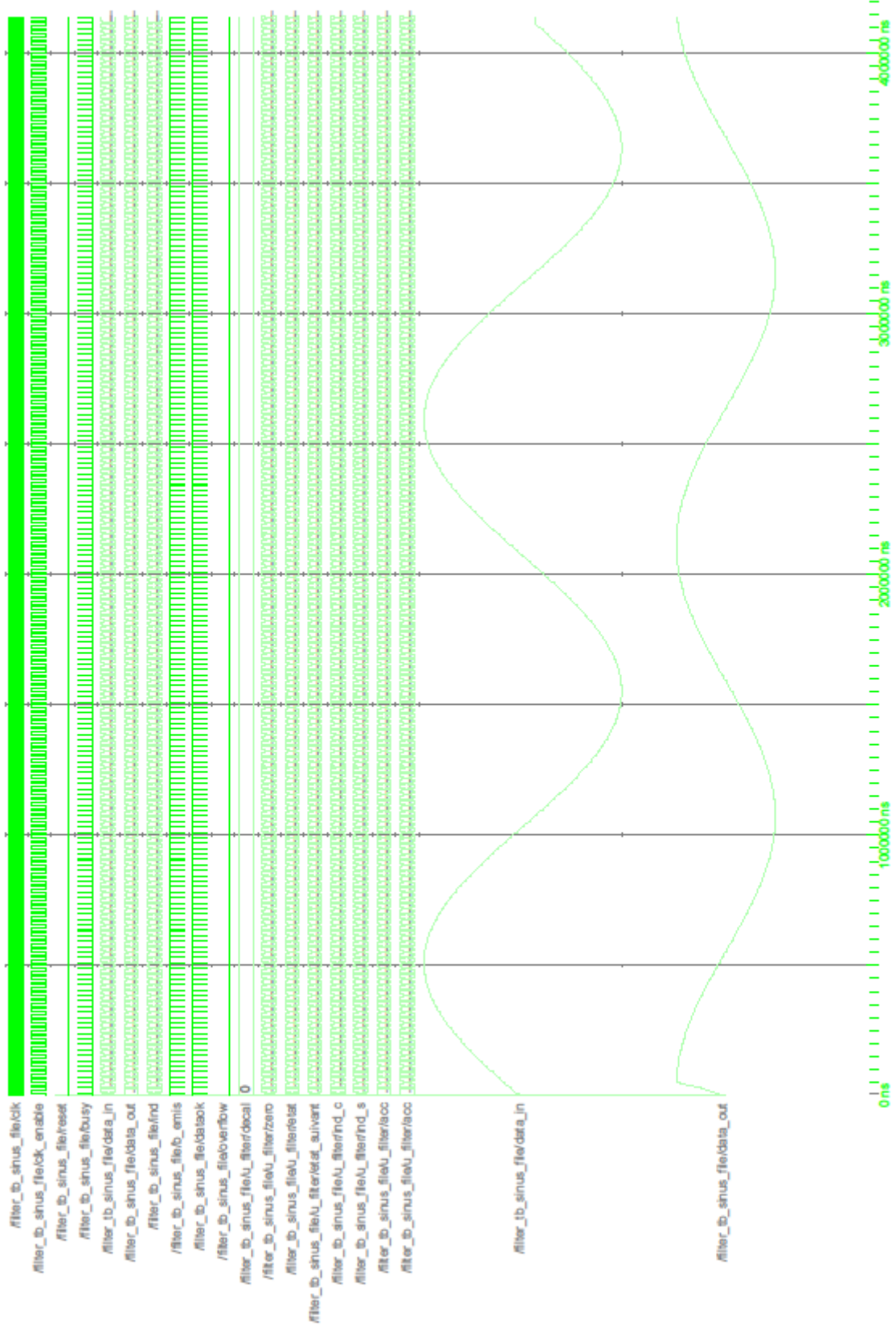
...
 À chaque ligne, le programme émet un warning = 2 signifiant une partie fractionnaire (conversion nombre entier a virgule fixe).

5-2-1-2 Réponse à un échelon



Entry:filter_b_step_fie Architecture: test Date: Tue Jan 12 08:51:17 Paris, Madrid 2010 Row: 1 Page: 1

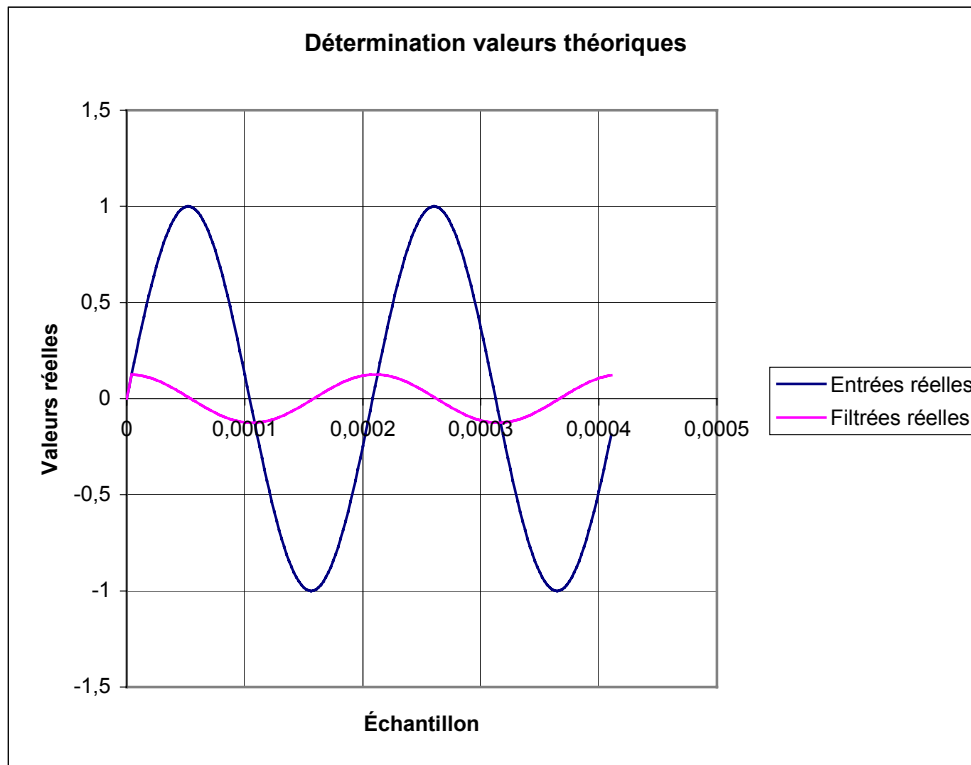
5-2-2-3 Réponse à un sinus



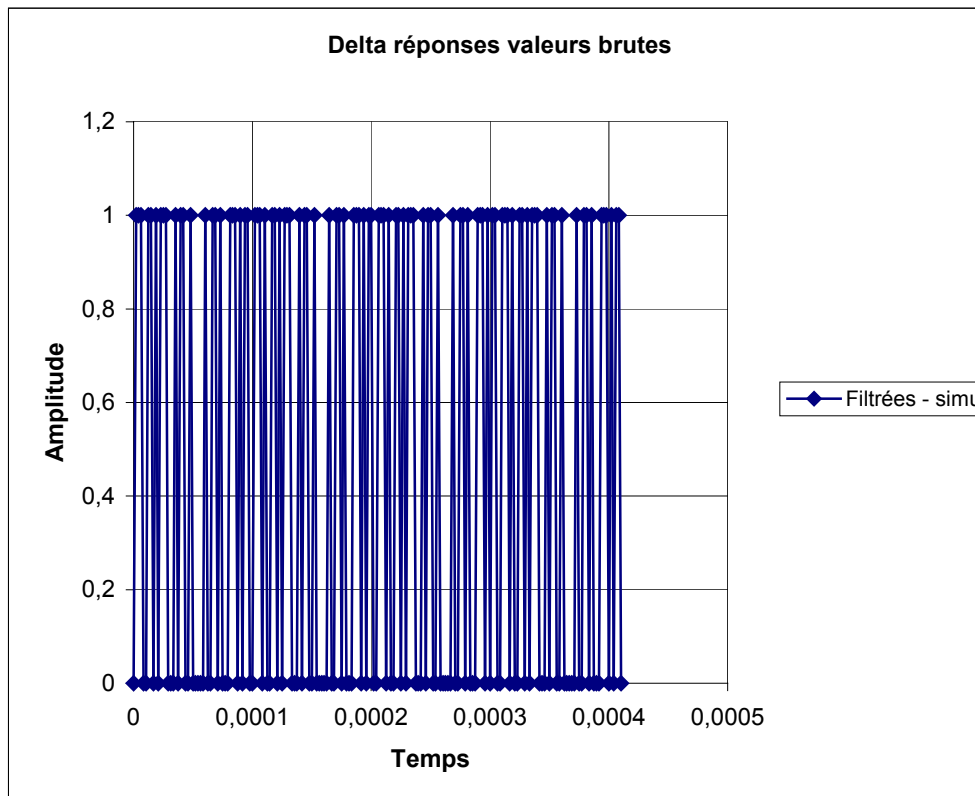
Entry: filter_b_sinus_fie Architecture: test Date: Sat Jan 30 07:37:41 Paris, Madrid 2010 Row: 1 Page: 1

5-2-2-4 Vérifications théoriques réponses à un sinus

Sur le signal d'entrée, nous avons appliqué le filtre dont les coefficients valent 1, 0, -1 :



Le graphique suivant représente les différences entre les valeurs réelles théoriques (voir ci-dessus) et les valeurs obtenues par simulation



5-2-3-2 Réponse à un échelon

